

大型 DIIPM+シリーズ アプリケーションノート

PSSxxNE1CT

大型 DIIPM+ アプリケーションノート目次

第1章 製品の概要	2
1.1 大型 DIIPM+ の特長	2
1.2 搭載機能	3
1.3 用途	3
1.4 製品ラインアップ	3
1.5 従来品との差異について	4
第2章 DIIPM のスペック	5
2.1 DIIPM のスペック	5
2.1.1 最大定格	5
2.1.2 電気的特性 熱抵抗	8
2.1.3 電気的特性および推奨使用条件	9
2.1.4 機械的定格および特性	11
2.2 保護機能とシーケンス	12
2.2.1 短絡保護	12
2.2.2 制御電源電圧低下保護(UV 保護)	14
2.2.3 温度出力機能 V_{OT}	16
2.3 DIIPM のパッケージ	18
2.3.1 外形図	18
2.3.3 端子配列と名称	20
2.4 取り付け方法	23
2.4.1 絶縁距離	23
2.4.2 取り付け方法と注意点	23
2.4.3 はんだ付け条件	25
第3章 DIIPM の使用方法	26
3.1 DIIPM の使用方法と応用	26
3.1.1 システム接続例	26
3.1.2 インターフェイス回路例 (直接入力時、N 側エミッタ共通配線時)	27
3.1.3 インターフェイス回路例 (フォトカプラ駆動)	29
3.1.4 DIIPM の信号入力端子と F_o 端子	30
3.1.5 スイッチングサージ電圧の抑制(スナバコンデンサの接続)	32
3.1.6 GND 周辺配線について	33
3.1.7 PCB設計時の注意点について	34
3.1.8 SOA(スイッチング時、短絡時)	35
3.1.9 短絡 SOA	36
3.1.10 動作寿命について	38
3.2 損失と放熱設計	39
3.2.1 損失計算方法(例)	39
3.2.2 温度上昇の考え方と計算例	41
3.3 ノイズ・静電気耐量	43
3.3.1 測定回路	43
3.3.2 対策と注意事項	44
3.3.3 静電気耐量について	45
第4章 ブートストラップ回路動作	46
4.1 ブートストラップ回路動作	46
4.2 ブートストラップ電源回路電流	47
4.3 ブートストラップ回路定数設定時の注意点	49
4.4 ブートストラップ回路使用時の初期充電について	50
第5章 その他	51
5.1 梱包仕様	51
5.2 取り扱いの注意	52

大型 DIIPM+シリーズ アプリケーションノート

第1章 製品の概要

1.1 大型 DIIPM+ の特長

大型 DIIPM+シリーズは、モータ制御用インバータ回路のパワー素子、および駆動・保護回路を、量産性に優れたトランスファーモールド方式により、1パッケージに集積したパワーモジュール(IPM)です。

DIIPM+シリーズは、三相コンバータ回路及びブレーキ回路までひとつのパッケージに搭載したオールインワンタイプの製品です。市場からのさらなる高性能、高集積化のご要求をうけ、トランスファーモールドタイプの先駆者として培った設計、製造技術を活かし、さらに電流容量を拡大した大型 DIIPM+シリーズを新規に製品化したしました。

インバータ回路の主要な回路部品を集積化していますので、インバータ基板面積の削減、設計時間短縮、アセンブリコストなどトータルシステムコストの低減などに貢献いたします。メインのインバータ回路部につきましても、温度出力など各種保護機能を搭載し、従来品と同様のシステム設計が可能です。絶縁放熱構造も実績のある大型 DIIPM シリーズと同様の高放熱性を有する絶縁放熱シート構造のパッケージを採用していますので、高い信頼性を確保できるシステム設計が可能です。

図 1-1-1 に外観写真、図 1-1-2 に断面構造図を示します。

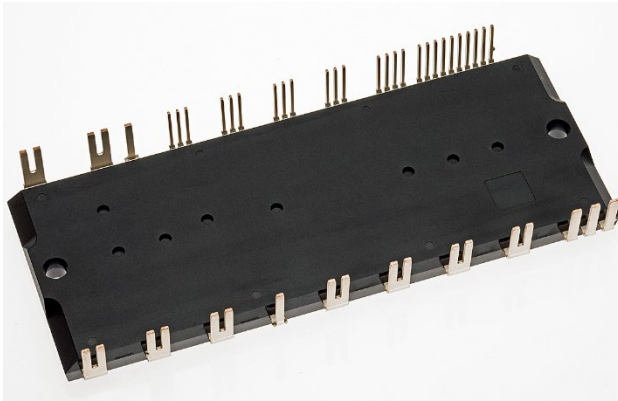


図 1-1-1 外観写真

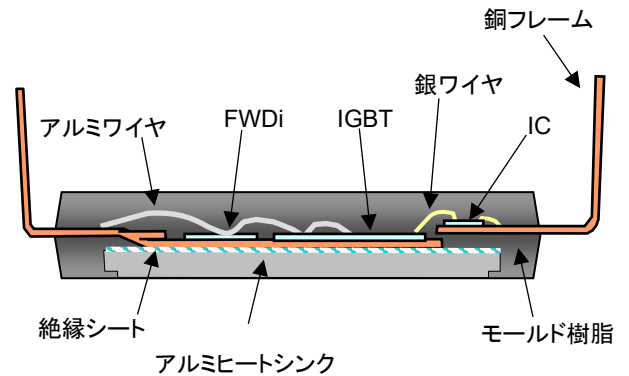


図 1-1-2 断面構造図

以下に主な特長を記載します。

- ・新開発の CSTBT(電荷蓄積型トレンチ IGBT)を搭載し、効率を改善
- ・1200V クラスで 35A から 100A までの定格電流をラインアップ
- ・パターン設計をしやすい適切な端子レイアウト
- ・IPM の温度情報として制御 IC 部温度をアナログ信号で出力する機能を搭載
- ・主電流から分流された微小電流で短絡電流を検出する方式を採用し、電流検出部での損失を低減

大型 DIPIPM+シリーズ アプリケーションノート

1.2 搭載機能

■内蔵機能

インバータ部

- P側 IGBT 用:
 - 駆動回路、高圧レベルシフト回路
 - 制御電源電圧低下(UV)保護回路(エラー出力無し)

- N側 IGBT 用:
 - 駆動回路
 - 短絡保護回路
 - 制御電源電圧低下(UV)保護回路
 - LVIC部温度アナログ出力回路(過熱保護無し)
 - ※短絡保護について
 - N側IGBTの主電流から分流された微小電流を検出し、DIPIPMへフィードバックして保護を行う。

- エラー出力:
 - N側 IGBT 短絡保護時出力
 - N側制御電源電圧低下時出力

共通項目

- IGBT 駆動電源:
 - DC15V 単一電源
- 入カインターフェイス:
 - ハイアクティブ駆動 (5V ロジック)
- UL 認証済み:
 - UL1557 File E323585

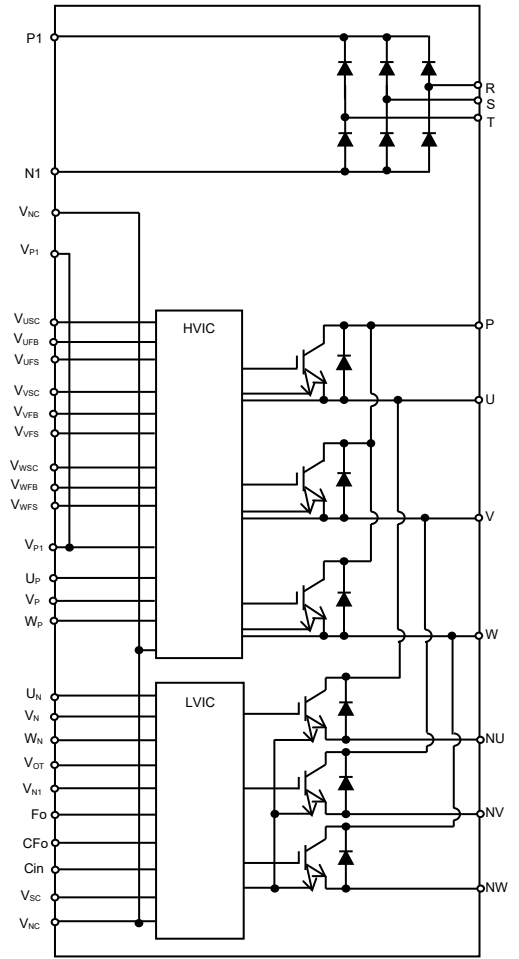


図 1-3 内部回路図(CI タイプ)

1.3 用途

業務用エアコン・大型エアコンなどのコンプレッサのインバータ制御用
サーボ及び汎用インバータなど産業用モータ駆動

1.4 製品ラインアップ

製品ラインアップを表 1-1 に記載します。

表 1-1 製品ラインアップ ブレーキ回路なしのタイプ

型名	定格電流	定格電圧	モータ定格 ⁽¹⁾	絶縁耐電圧 V_{iso} ⁽²⁾
PSS35NE1CT	35A	1200V	5.5kW/440V _{AC}	2500Vrms
PSS50NE1CT	50A		7.5kW/440V _{AC}	
PSS75NE1CT	75A		11kW/440V _{AC}	
PSS100NE1CT	100A		15kW/440V _{AC}	

(1) モータ定格容量は、産業用汎用インバータにおける一般的な適用モータ容量を示したものです。ご使用条件により適用可能なモータ容量は異なります。

(2) 絶縁耐電圧は全端子を接続し、その端子と放熱フィン間に 60Hz の正弦波で 1 分間、印加するという条件です。

大型 DIIPM+シリーズ アプリケーションノート

せん

1.5 従来品との差異について

従来品の1200V大型DIIPM Ver.6シリーズ(PSSxxSA2FT)および1200V DIIPM+シリーズ(PSSxxMC1FT, PSSxxNC1FT)と本シリーズの主な相違点をまとめると、以下のとおりとなります。

表 1-2 仕様差異

項目	Ver.6	DIIPM+	大型DIIPM+	関連項目
	PSSxxSA2FT	PSSxxMC1FT, PSSxxNC1FT	PSSxxNE1CT	
	5A~75A	5~35A	35~100A	
搭載IGBT	6世代IGBT ⁽¹⁾ (LPT-CSTBT)	6世代IGBT (LPT-CSTBT)	7世代IGBT (LPT-CSTBT)	-
結線	6in1	CIB or CI	CI	-
ブートストラップDi	搭載 (電流制限抵抗内蔵 typ. 20Ω)	←	非搭載	-
接合温度T _j	-30°C~150°C	←	規定なし	-
動作接合温度T _{jop}	規定なし	←	-30°C~150°C	
最大接合温度T _{jmax}	規定なし	←	175°C	
温度出力機能 (V _{OT} 出力)	typ. 2.38V (LVIC温度=75°C時) 外部プルダウン抵抗要	typ. 3.02V (LVIC温度=100°C時) 外部プルダウン抵抗要	←	2. 2. 3項
短絡保護機能	センス方式 (主電流から分流された 微小電流を検出)	シャント方式 (主回路に挿入した シャント抵抗で検出)	センス方式 (主電流から分流された 微小電流を検出)	2. 2. 1項-
上下アーム休止時間	min. 3.0μs	←	min. 2.5μs (35A/50A/75A) min. 3.0μs (100A)	-

(1) PSS75SA2FT(75A/1200V)のみ 7世代IGBT(LPT-CSTBT)

その他、電気的特性、短絡保護用センス抵抗設定、ダミー端子の電位、熱抵抗、許容最小入力パルス幅などの差異があります。詳細につきましては、各製品のデータシート等を参照ください。

大型 DIIPM+シリーズ アプリケーションノート

第2章 DIIPM のスペック

2.1 DIIPM のスペック

スペックについて PSS50NE1CT (50A/1200V)を代表例として説明します。
他の形名および詳細は、各製品のデータシートを参照ください。

2.1.1 最大定格

PSS50NE1CT (50A/1200V)の最大定格を、表 2-1-1 に示します。(指定のない場合は $T_j=25^\circ\text{C}$)

表 2-1-1 PSS50NE1CT (50A/1200V)の最大定格

インバータ部

項目	記号	条件	定格値	単位
電源電圧	V_{CC}	P-NU,NV,NW 端子間(平滑コンデンサ間)	800	V
電源電圧(サージ)	$V_{CC(surge)}$	P-NU,NV,NW 端子間	1000	V
コレクタ・エミッタ間電圧	V_{CES}		1200	V
コレクタ電流	$\pm I_C$	$T_C=25^\circ\text{C}$ (注 1)	50	A
コレクタ電流(ピーク)	$\pm I_{CP}$	$T_C=25^\circ\text{C}$, 1ms 以下	75	A
動作接合温度	T_{jop}	連続動作 (注 2)	-30~+150	$^\circ\text{C}$
最大接合温度	T_{jmax}	瞬時動作(過負荷等)	175	$^\circ\text{C}$

(注 1) コレクタ電流のパルス幅と周期は動作接合温度により制限されます。

(注 2) 内蔵パワーチップ自身の最大接合温度は $175^\circ\text{C} (@T_C \leq 125^\circ\text{C})$ ですが、安全動作させる為の平均動作接合温度は $T_j \leq 150^\circ\text{C} (@T_C \leq 125^\circ\text{C})$ と規定します。

コンバータ部

項目	記号	条件	定格値	単位
ピーク繰り返し逆電圧	V_{RRM}		1600	V
出力電流	I_O	3 相全波整流	50	A
サージ順電流	I_{FSM}	60Hz, 正弦半波 1 サイクル波高値, 非繰り返し	532	A
電流二乗時間積	I^2t	1 サイクルサージ順電流に対する値	1132	A^2s
接合温度	T_j	(注 3)	-30~+150	$^\circ\text{C}$

(注 3) 内蔵パワーチップ自身の最大接合温度は 150°C ですが、安全動作させる為の平均接合温度は $T_j \leq 125^\circ\text{C}$ と規定します。

制御(保護)部

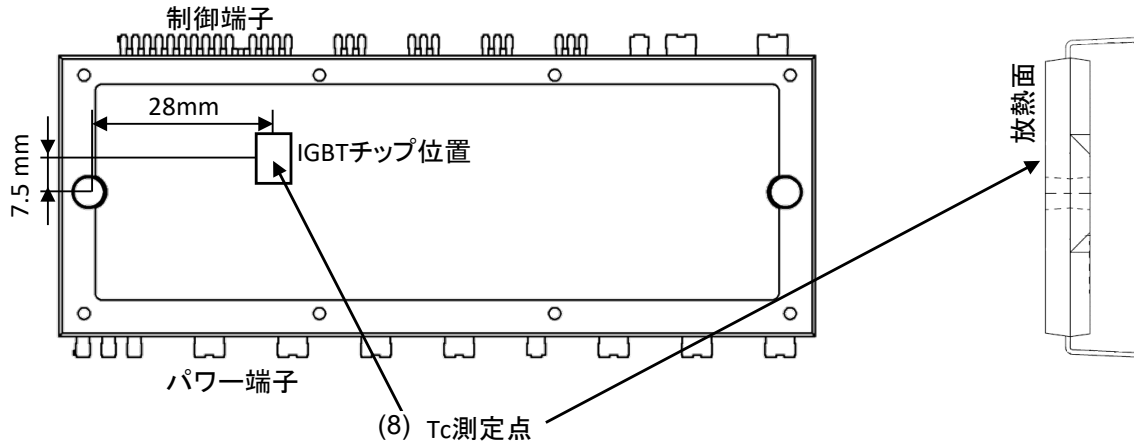
項目	記号	条件	定格値	単位
制御電源電圧	V_D	$V_{P1-V_{NC}}$, $V_{N1-V_{NC}}$ 端子間	20	V
制御電源電圧	V_{DB}	$V_{UFB-V_{UFS}}$, $V_{VFB-V_{VFS}}$, $V_{WFB-V_{WFS}}$ 端子間	20	V
入力電圧	V_{IN}	U_P , V_P , W_P , U_N , V_N , W_N-V_{NC} 端子間	-0.5~ $V_D+0.5$	V
エラー出力印加電圧	V_{FO}	F_O-V_{NC} 端子間	-0.5~ $V_D+0.5$	V
エラー出力電流	I_{FO}	F_O 端子のシンク電流値	5	mA
電流検出入力電圧	V_{SC}	$C_{IN-V_{NC}}$ 端子間	-0.5~ $V_D+0.5$	V

全システム

項目	記号	条件	定格値	単位
電源電圧 自己保護範囲(短絡)	$V_{CC(Prot)}$	$V_D=13.5\sim 16.5\text{V}$, インバータ部 $T_j=150^\circ\text{C}$ スタート, 2 μs 以内, 非繰り返し	800	V
動作モジュール温度	T_C	(注 4)	-30~+125	$^\circ\text{C}$
保存温度	T_{stg}		-40~+125	$^\circ\text{C}$
絶縁耐圧	V_{iso}	正弦波 60Hz, 1 分間 全端子共通-放熱フィン(外部)間	2500	V_{rms}

(注 4) T_C 測定点を次ページ図に示します。

大型 DIIPM+シリーズ アプリケーションノート



各項目の説明

番号	記号	説明内容
(1)	V _{CC}	P-N端子間に印加できる最大直流電源電圧。 この電圧を超えるような場合は、ブレーキ回路等による制限をかける必要があります。
(2)	V _{CC(surge)}	内蔵IGBTがスイッチングしている状態で、P-N端子間に現れるサージ電圧の最大値。 この電圧を超えないように、スナバ回路の接続や母線のインダクタンスの低減が必要です。
(3)	V _{CES}	内蔵IGBTのC-E間に印加できる最大電圧定格。
(4)	±I _C	T _c =25°Cの条件で、通電可能な電流値。パルス幅及び周期は、接合温度により制限されます。
(5)	T _{Jop}	最大接合温度は175°C(@T _c ≤125°C)ですが、安全動作させるための平均動作接合温度はT _J ≤150°C(@T _c ≤125°C)と規定します。繰り返される温度変化ΔT _J は、パワーサイクル寿命に影響を与えます。
(6)	V _{CC(PROT)}	内蔵のIGBTが短絡や過電流状態になった場合に、IPMの保護機能によってIGBTを安全に遮断できる最大電源電圧。この条件を超えると保護できず、素子破壊に至る可能性が高くなります。
(7)	絶縁耐圧	絶縁耐圧は全端子(ショート)と放熱面のアルミヒートシンク表面との絶縁耐圧です。 絶縁耐圧は、2500Vrmsとなります。
(8)	T _c 測定点	UN相IGBTチップの直下をケース温度T _c の測定点と定義しています。 正確なT _c を測定するためにヒートシンクを加工し、チップ直下に熱電対がくるようにします。 P側、N側でスイッチング方法が異なる二相変調やハイサイドチョッピングなど制御方式、変調率になり、他の相のチップ直下のT _c の方が温度が高くなる可能性がありますので、そのような場合には、測定点を変更して最も損失が大きくなるパワーチップの直下でT _c を測定する必要があります。

大型 DIIPM+シリーズ アプリケーションノート

[パワーチップ配置]

図 2-1-1 に PSSxxNE1CT の各パワーチップの位置を示します。(マーキング面から見た図です)

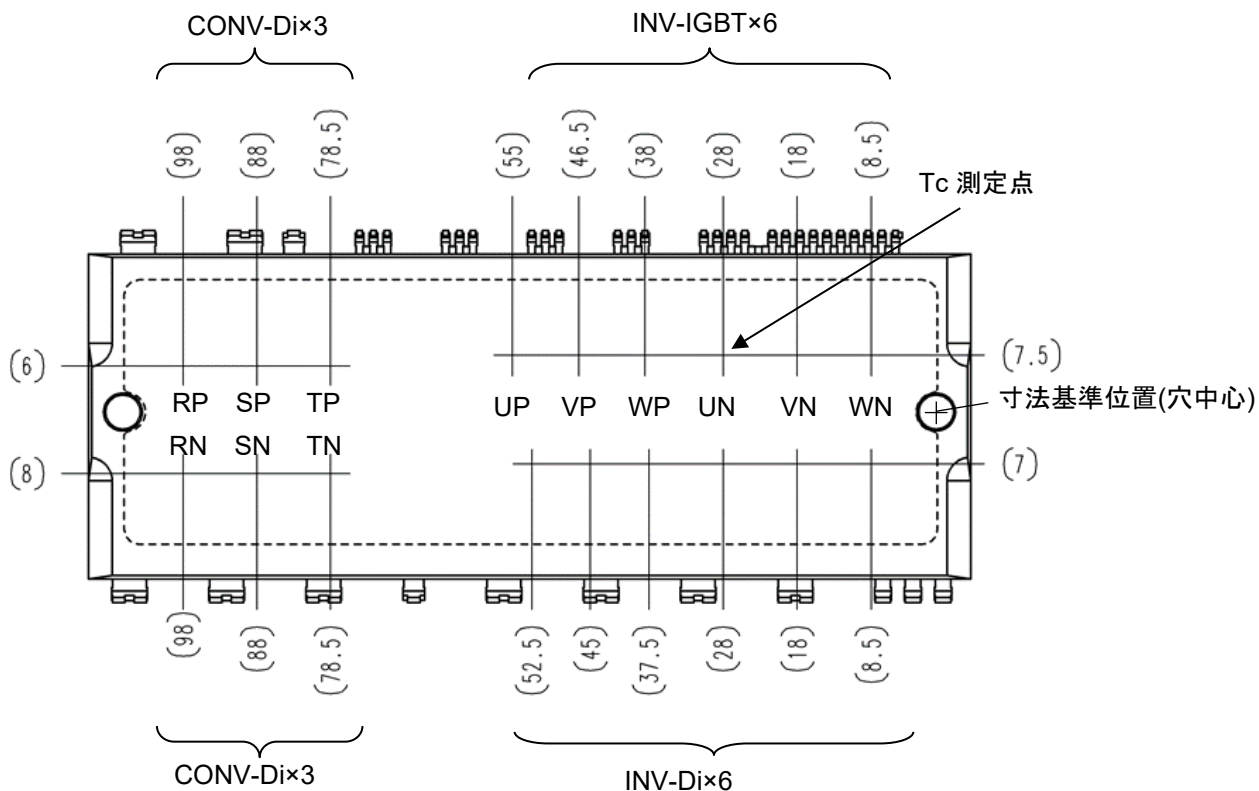


図 2-1-1 パワーチップ配置 (単位:mm)

大型 DIIPM+シリーズ アプリケーションノート

2.1.2 電気的特性 熱抵抗

PSS50NE1CT (50A/1200V)の熱抵抗規格を、表 2-1-2 に示します。

表 2-1-2 PSS50NE1CT (50A/1200V)の熱抵抗規格

項目	記号	条件	最小値	標準値	最大値	単位
接合・ケース間熱抵抗 (注 1)	$R_{th(j-c)Q}$	インバータ IGBT (1/6 モジュール)	-	-	0.65	K/W
	$R_{th(j-c)F}$	インバータ FWD (1/6 モジュール)	-	-	1.10	
	$R_{th(j-c)R}$	コンバータ (1/6 モジュール)	-	-	1.00	

(注 1) DIIPM と放熱フィンとの接触面には、熱伝導のよいグリースを 100~200 μ m 程度、均一になるように塗布の上、規定の締め付けトルクにて締め付けすることを規定します。(グリースは使用動作温度範囲内で変質せず、経年変化のないものとします。)製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚 20 μ m、グリースの熱伝導率 1.0W/m \cdot K の場合の製品放熱面-フィン間熱抵抗値(1 素子あたり)は 0.25K/W となります。

上記規格は、接合-ケース間の定常時の熱抵抗を示しています。大型 DIIPM+の場合、およそ 10 秒で飽和し、定常状態になります。飽和前の 10 秒以下での熱抵抗を過渡熱抵抗と呼び、図 2-1-2 のようになります。

図 2-1-2 の過渡熱抵抗 $Z_{th(j-c)}$ の "1" が、上記定常時の熱抵抗値に相当します。

PSS50NE1CT の IGBT 部の 0.1 秒における過渡熱抵抗値は、0.65(K/W) \times 0.5=約 0.33(K/W)となります。

過渡熱抵抗は、定常的に流れるのではなく短時間(ms オーダ)の電流が流れる場合(例えばモータ起動時や短時間のロック時など)の温度上昇を検討する場合に使用します。

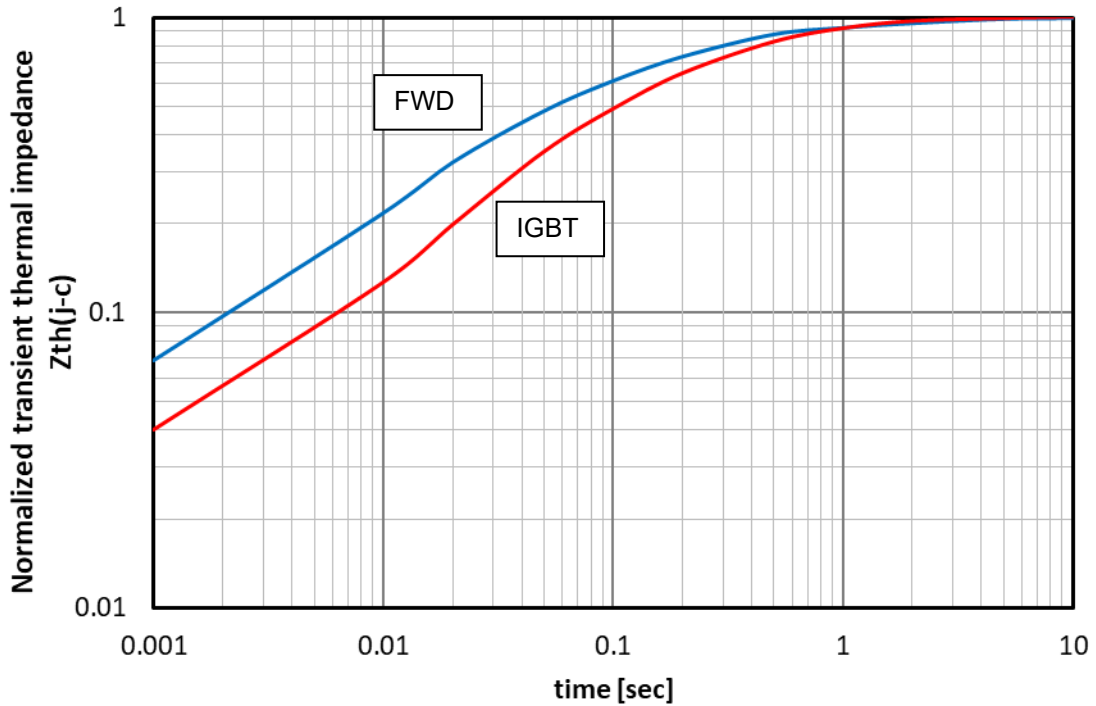


図 2-1-2 過渡熱抵抗特性(代表例)

大型 DIIPM+シリーズ アプリケーションノート

2.1.3 電气的特性および推奨使用条件

PSS50NE1CT (50A/1200V)の静特性およびスイッチング特性の規格を、表 2-1-3 に示します。
(指定のない場合は $T_j=25^\circ\text{C}$)

表 2-1-3 PSS50NE1CT (50A/1200V)の静特性およびスイッチング特性の規格
インバータ部

項目	記号	条件	規格値			単位	
			最小値	標準値	最大値		
コレクタ・エミッタ間飽和電圧	$V_{CE(sat)}$	$V_D=V_{DB}=15\text{V}$ $V_{IN}=5\text{V}$	$I_C=50\text{A}, T_j=25^\circ\text{C}$	-	1.50	1.90	V
			$I_C=50\text{A}, T_j=125^\circ\text{C}$	-	1.80	2.30	
FWD 順電圧降下	V_{EC}	$-I_C=50\text{A}, V_{IN}=0\text{V}$	-	1.85	2.40	V	
スイッチング時間	t_{on}	$V_{CC}=600\text{V}, V_D=V_{DB}=15\text{V}$ $I_C=50\text{A}, T_j=125^\circ\text{C}$ 誘導負荷(上-下アーム) $V_{IN}=0 \leftrightarrow 5\text{V}$	1.40	2.30	3.30	μs	
	t_{rr}		-	0.30	-		
	$t_{C(on)}$		-	0.40	0.85		
	t_{off}		-	2.70	3.80		
	$t_{C(off)}$		-	0.30	0.95		
コレクタ・エミッタ間遮断電流	I_{CES}	$V_{CE}=V_{CES}$	-	-	1	mA	

コンバータ部

項目	記号	条件	最小値	標準値	最大値	単位
逆電流	I_{RRM}	$V_R=V_{RRM}$	-	-	0.5	mA
順電圧降下	V_F	$I_F=50\text{A}$	-	1.20	1.65	V

スイッチング時間の定義、および測定方法については、図 2-1-3、図 2-1-4 に示します。
スイッチングは L 負荷(誘導負荷)ハーフブリッジ回路で測定しています。

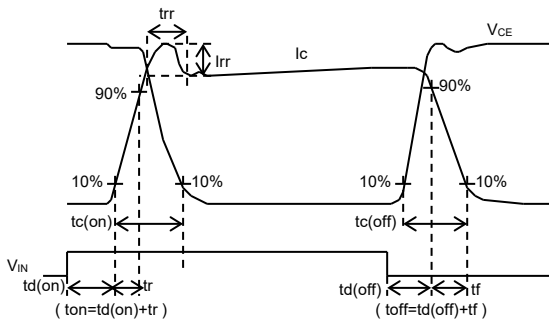


図 2-1-3 スwitching時間の定義

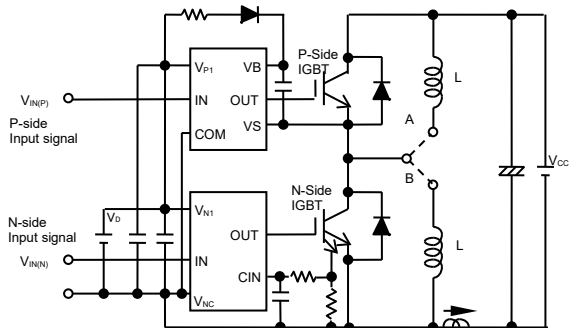


図 2-1-4 L 負荷ハーフブリッジ測定回路

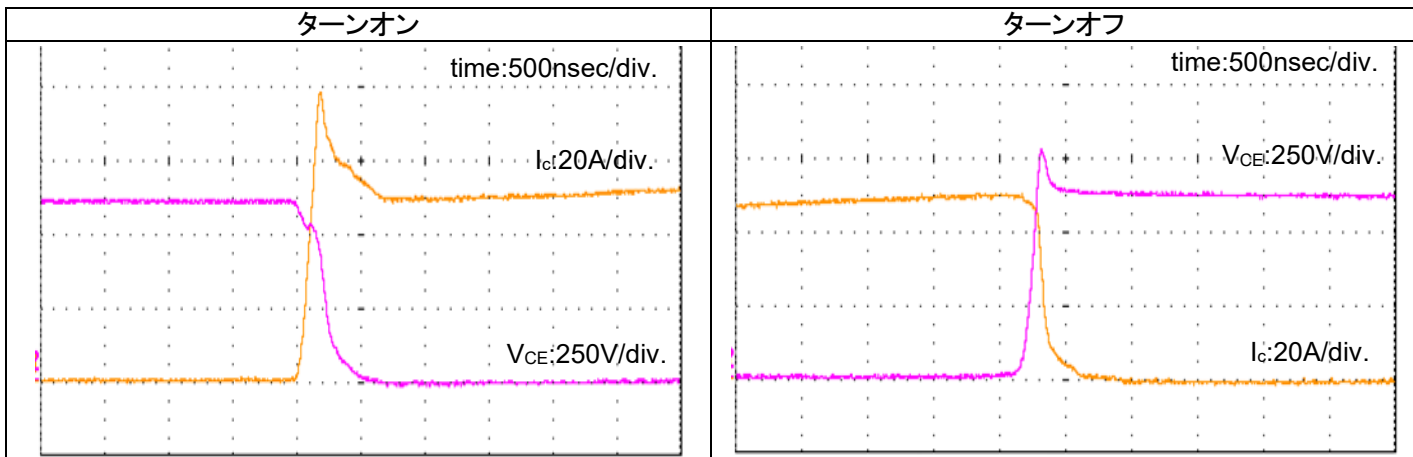


図 2-1-5 PSS50NE1CT (50A/1200V)のインバータ部 スwitching波形(代表例)
測定条件: $V_{CC}=600\text{V}, V_D=V_{DB}=15\text{V}, I_C=50\text{A}, T_j=125^\circ\text{C}$, L 負荷ハーフブリッジ

大型 DIIPM+シリーズ アプリケーションノート

PSS50NE1CT (50A/1200V)の制御(保護)部の規格を、表 2-1-4 に示します。

表 2-1-4 PSS50NE1CT (50A/1200V)の制御(保護)部規格

項目	記号	条件	最小値	標準値	最大値	単位	
回路電流	I _D	V _{P1} -V _{NC} , V _{N1} -V _{NC} の総和	V _D =V _{DB} =15V, V _{IN} =0V	-	-	4.70	mA
			V _D =V _{DB} =15V, V _{IN} =5V	-	-	4.70	
	I _{DB}	V _{UFB} -V _{UFS} , V _{VFB} -V _{VFS} , V _{WFB} -V _{WFS}	V _D =V _{DB} =15V, V _{IN} =0V	-	-	2.40	
			V _D =V _{DB} =15V, V _{IN} =5V	-	-	2.40	
短絡保護トリップレベル	I _{SC}	シャント抵抗なし, R _s =46.4Ω (注 1)	75	-	-	A	
インバータ部 P 側 制御電源電圧低下保護	UV _{DBt}	シャント抵抗なし, R _s =46.4Ω (注 1)	トリップレベル	10.0	-	12.3	V
	UV _{DBr}		リセットレベル	10.4	-	12.9	V
インバータ部 N 側 制御電源電圧低下保護	UV _{Dt}		トリップレベル	10.3	-	12.5	V
	UV _{Dr}		リセットレベル	10.8	-	13.0	V
温度アナログ出力電圧	V _{OT}	LVIC 温度 100°C, プルダウン抵抗 5.1kΩ (注 2)	2.89	3.02	3.14	V	
エラー出力電圧	V _{FOH}	V _{SC} =0V, F _O =10kΩ 5V プルアップ	4.9	-	-	V	
	V _{FOL}	V _{SC} =1V, I _{FO} =1mA	-	-	0.95	V	
エラー出力パルス幅	t _{Fo}	C _{Fo} =22nF (注 3)	1.6	2.4	-	ms	
入力電流	I _{IN}	V _{IN} =5V	0.7	1.0	1.5	mA	
温度アナログ出力電圧	V _{OT}	LVIC 温度 100°C, プルダウン抵抗 5.1kΩ 接続時	2.89	3.02	3.14	V	
入力オンしきい電圧	V _{th(on)}	U _P , V _P , W _P , U _N , V _N , W _N -V _{NC} 端子間	-	-	2.6	V	
入力オフしきい電圧	V _{th(off)}		0.8	-	-	V	

(注 1) 短絡保護はインバータ部 N 側 IGBT のみ動作します。過電流保護は外部回路にて、I_{CP} 以下で設計してください。

(注 2) 温度出力機能は、自身で温度保護動作はいたしません。V_{OT} 出力が、設定した温度保護レベルに達した時は、システム側でスイッチング動作をただちに停止してください。LVIC 温度-V_{OT} 出力特性は 2.2.3 項を参照ください。(LVIC 温度=100°C以外の min.および max. 特性は設計値です)

(注 3) エラー出力は、インバータ部 N 側の短絡保護・制御電源電圧低下保護時に出力します。F_O 出力時間は C_{Fo} (= t_{Fo} × 9.1 × 10⁶[F])で規定した値となります。

PSS50NE1CT (50A/1200V)の推奨使用条件を、表2-1-5に示します。

DIIPMを安全に使用するためには、推奨使用条件範囲内で使用するようお願いします。

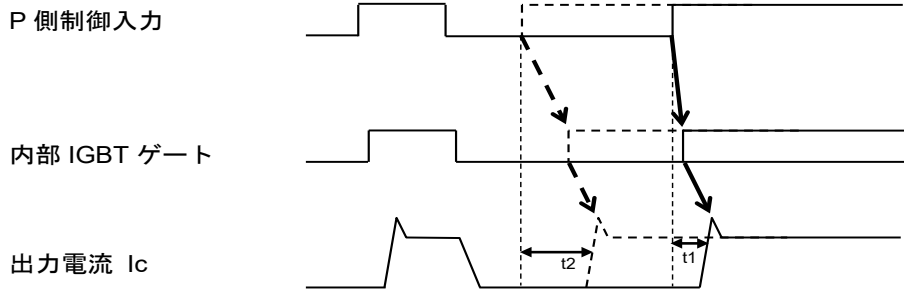
表 2-1-5 PSS50NE1CT (50A/1200V)の推奨使用条件

項目	記号	条件	推奨値			単位
			最小	標準	最大	
電源電圧	V _{CC}	P-NU, NV, NW 端子間	300	600	800	V
制御電源電圧	V _D	V _{P1} -V _{NC} , V _{N1} -V _{NC} 端子間	13.5	15.0	16.5	V
制御電源電圧	V _{DB}	V _{UFB} -V _{UFS} , V _{VFB} -V _{VFS} , V _{WFB} -V _{WFS} 端子間	13.0	15.0	18.5	V
制御電源電圧変動率	ΔV _D , ΔV _{DB}		-1	-	1	V/μs
上下アーム休止時間	t _{dead}	各アーム段入力に対応	2.5	-	-	μs
PWM 制御入力信号	f _{PWM}	T _C ≤ 125°C, T _J ≤ 150°C	-	-	20	kHz
許容最小入力 パルス幅	PWIN(on)	(注 1)	3.0	-	-	μs
	PWIN(off)	(注 2)	3.0	-	-	
V _{NC} 端子電圧	V _{NC}	V _{NC} -NU, NV, NW 端子間の電位差, サージ電圧含む	-5.0	-	+5.0	V

(注 1) PWIN(on)未満のパルス幅の入力オン信号には出力が応答しないことがあります。

(注 2) PWIN(off)未満のパルス幅の入力オフ信号には、DIIPM は出力が応答しない、またはターンオン時間が大きくなる場合があります(P 側のみ)。また、コレクタ電流(IC)の定格値を超過した場合、PWIN(off)以上のパルス幅の入力オフ信号を印加しても、ターンオン時間が大きくなる場合があります。詳細は下図のタイミング図をご参照ください。

大型 DIPIPM+シリーズ アプリケーションノート



実線…通常の出力動作:ターンオン時間:t1
 破線…遅延した場合の出力動作: ターンオン時間:t2
 (t1=通常のターンオン時間)

※制御電源電圧変動率について

制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、更には出力を停止 (ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が±1V/μs より穏やかになるよう、また、そのリップル電圧も 2Vp-p より小さくなるように、電源回路を設計してください。(規定: dV/dt ≤ 1V/μs, Vripple ≤ 2Vp-p)

2.1.4 機械的定格および特性

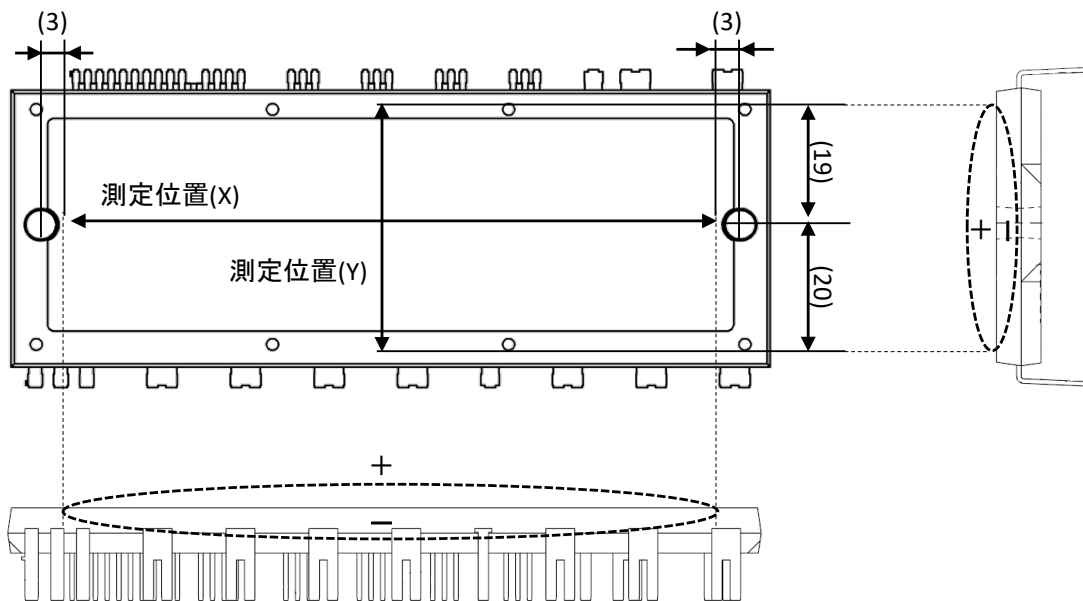
PSS50NE1CT (50A/1200V)の機械的定格および特性規格を、表2-1-6に示します。
 DIPIPM の取り付け方法については、2.4項を参照ください。

表 2-1-6 PSS50NE1CT (50A/1200V)の機械的定格および特性

項目	記号	条件		参考規格	最小値	標準値	最大値	単位
締付トルク	-	取付けネジ M4 (注 1)	推奨値 1.18 N・m	JEITA ED-4701 402 方法Ⅱ	0.98	1.18	1.47	N・m
端子強度引張り	-	荷重 制御部 10N、パワー部 40N		JEITA ED-4701 401 方法Ⅰ	10	-	-	s
端子強度曲げ	-	荷重 10N にて 90 度 曲げ		JEITA ED-4701 401 方法Ⅲ	2	-	-	回
質量	-			-	-	89	-	g
放熱面平面度	-	(注 2)		-	-50	-	130	μm

(注 1) 取り付けネジには平座金(推奨:JIS B1256)を使用して下さい。

(注 2) 放熱面平面度測定位置 (単位:mm)



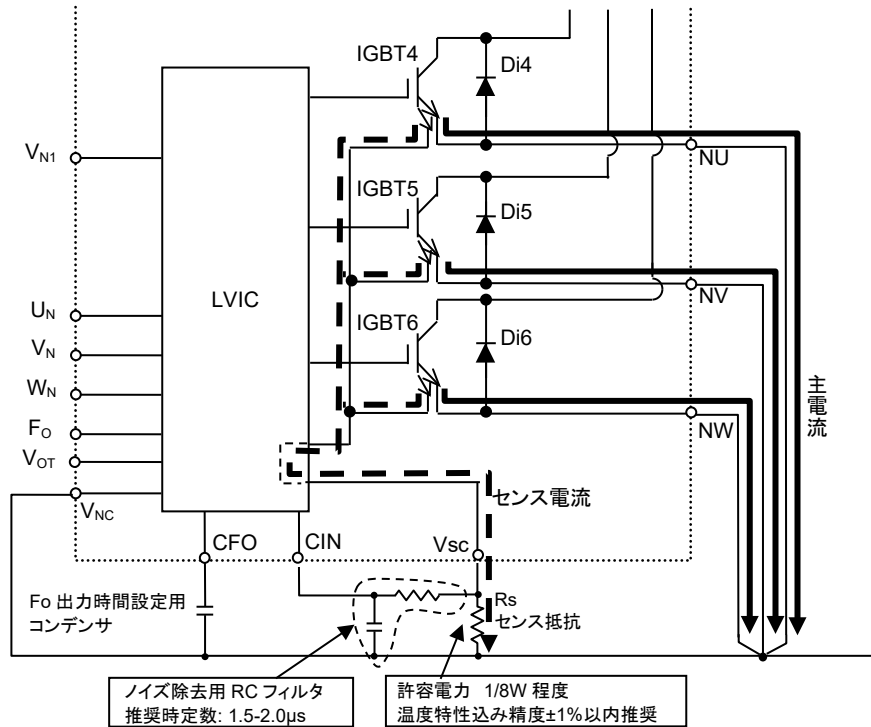
大型 DIIPM+シリーズ アプリケーションノート

2.2 保護機能とシーケンス

DIIPM には、保護機能として短絡保護、制御電源電圧低下保護と温度出力機能があります。

2.2.1 短絡保護

本製品の短絡保護機能は、N側IGBT部で主電流から分流した微小なセンス電流を検出する方式を採用しています。



※センス抵抗の許容電力につきましては、目安として記載していますので実システムなどにて十分ご評価願います。

図2-2-1 短絡保護回路

短絡保護時には、センス電流がセンス抵抗を流れることによって発生する電圧を、DIIPM の CIN 端子にフィードバックさせることで、短絡保護が可能になります。表 2-2-1 に規定のセンス抵抗値と短絡保護電流値を示します。

短絡保護動作に入ると、N 側の IGBT3 相分のゲートをハード遮断し、C_{FO} 端子に接続した外付けコンデンサの容量によって設定される時間(t_{FO})、F_O 信号を出力します。(出力パルス幅 C_{FO} = t_{FO} × 9.1 × 10⁻⁶ [F])

スイッチング時のリカバリー電流や、ノイズによる保護回路の誤動作を防ぐため、CIN 端子への入力前にRCフィルタを設置してください。その際、DIIPM の短絡時自己保護範囲が 2μs であるため、短絡時に IGBT が 2μs で遮断されるようにフィルタの時定数を設定願います。(推奨時定数 1.5~2μs 程度)また、RC フィルタの抵抗値はセンス抵抗値の 10 倍以上(100 倍推奨)としてください。

表 2-2-1 短絡保護電流値 T_j=25°C、NU,NV,NW 端子に外部シャント抵抗未接続時

	Rs	Min.
PSS100NE1FT	24.9Ω	120A
PSS75NE1FT	30.1Ω	112.5A
PSS50NE1FT	46.4Ω	75A
PSS35NE1FT	59.0Ω	52.5A

センス抵抗値のばらつき・温度変化が大きいと短絡保護レベルのばらつきにつながりますので、温度特性の良い、標準値±1%以下の精度でインダクタンスの小さな抵抗をご使用ください。

センス抵抗の必要許容電力については、主電流とセンス電流の分流比の最大値(センス電流が最も分流されて多く流れる)が、約7000分の1であることより見積もり可能です。以下にPSS50NE1CTの場合の計算例を示します。

大型 DIIPM+シリーズ アプリケーションノート

[計算例]

(1) 通常使用時

通常使用時の最大主電流を余裕を見て定格の 50A、センス抵抗値を 46.4Ω とした場合、この電流が常に流れたと仮定するとセンス抵抗には、

$$50A / 4000 = 12.5mA$$

のセンス電流が常に流れることとなります。このときの抵抗の損失は、

$$P=I^2 \cdot R=(12.5mA)^2 \times 46.4\Omega = 7.3mW$$

となります。

(2) 短絡発生時

短絡時には、主電流は、条件にもよりますが最大で IGBT の飽和電流(概ね定格の 10 倍≒500A)まで流れる可能性があります。そのため、センス電流は、

$$500A / 4000 = 125mA$$

となりますが、この電流は、短絡保護により $t=2\mu s$ で遮断されますので、このときの平均損失は

$$P=I^2 \cdot R \cdot t/T = (125mA)^2 \times 46.4\Omega \times 2\mu s / 1s = 0.0015mW$$

となります。この時の抵抗器に発生する電圧は、

$$V=125mA \times 46.4\Omega = 5.8V$$

となります。

以上より、許容損失0.03W以上の抵抗で問題ないと考えますが、最終的には実システムにて十分評価してください。

最終的に、CIN端子に電圧が印加されてからIGBTのゲートが遮断されるまでには、IC内の伝達遅れ時間が余分にかかります。IC内部での遅れ時間を表2-2-2に示します。

表 2-2-2 短絡保護回路遅れ時間

項目	typ.	max.	単位
SC 遮断時間	0.5	1.0	μs

センス抵抗に短絡保護レベルを超える電圧が発生後、IGBT のゲートを遮断するまでの時間は、外部 RC フィルタでの遅れ時間とこの IC 内部での遅れ時間の和になります。

[短絡保護動作シーケンス(N 側のみ)]

- a1. 正常動作=IGBT オン=出力電流有り
- a2. 過電流検出(SCトリガ)・・・RC 時定数は、 $2\mu s$ 以内に遮断するように最適遮断時間を設定(1.5~2.0μs 以下推奨)
- a3. N側全相の IGBT ゲートをハード遮断
- a4. N側全相の IGBT がオフ
- a5. Fo 出力・・・外付けコンデンサ C_{Fo} で Fo 出力時間(Fo パルス幅)を設定
- a6. 入力 “L”=オフ
- a7. Fo 出力終了。入力 “H”途中でも次のオン信号(L→H)が入力されるまで、IGBT はオフ状態。
(各相への入力で相ごとに通常状態に復帰します)
- a8. 正常動作=IGBT オン=出力電流有

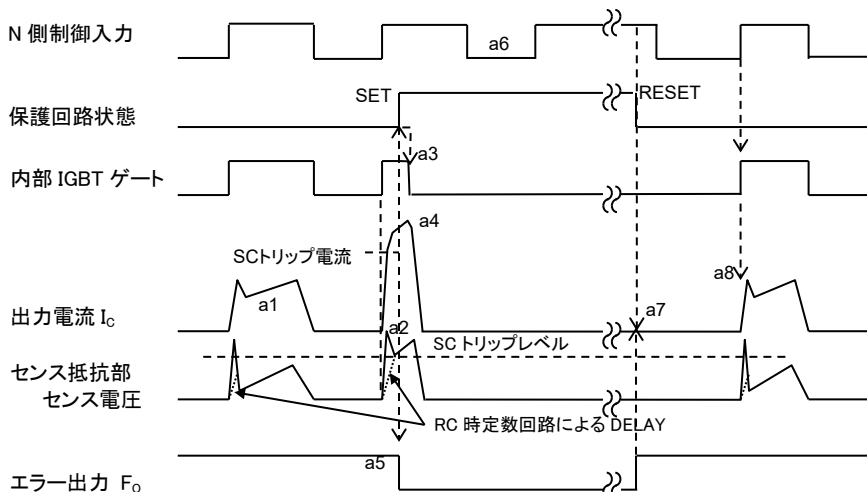


図 2-2-2 短絡保護動作シーケンス

大型 DIIPM+シリーズ アプリケーションノート

2.2.2 制御電源電圧低下保護(UV 保護)

制御電源電圧が低下すると、IGBTのゲート電圧が下がることによる弊害が生じます。推奨電源電圧内でのご使用をお願いします。

制御電源電圧が低下すると、IGBTを保護するため、制御電源電圧低下保護(UV)が動作します。インバータ部のP側、N側にUV回路がありますが、N側回路でUVが動作したときのみ、Fo信号を出力します。Fo信号は、制御電源電圧が低下している期間出力します。P側はIGBTのゲート遮断のみで、Fo信号は出力しません。

また、この保護回路には、ノイズ等による瞬間的な電圧低下での保護動作を除去するため、約10μs(標準値)のフィルタを内蔵しておりますので制御電源電圧がトリップ電圧(UV_{DBt}、UV_{Dt})まで低下した場合でも、約10μs以内であれば保護は働きません。

表 2-2-3 各制御電源電圧範囲での DIIPM の状態

制御電源電圧範囲(V _D , V _{DB})	状態
0-4.0V(P側,N側)	制御 IC の正常動作電圧領域ではないため、電源電圧低下保護(UV)、Foなどの各種保護動作の正常動作は保証されません。IGBTのしきい電圧以下であり、基本的にオンしません。外來ノイズ等により誤オンする可能性がありますので制御電源より先に DC-LINK 電圧を立ち上げないでください。
4.0-UV _{Dt} (N側), UV _{DBt} (P側)	制御電源電圧低下保護(UV)動作範囲内 制御入力信号を加えても、スイッチング動作を停止しています。電源電圧低下保護(UV)が動作し、Foを出力します。
UV _{Dt} (N側)-13.5V UV _{DBt} (P側)-13.0V	スイッチング動作します。但し推奨範囲外ですので、DIIPMの仕様書で規定している V _{CE(sat)} ・スイッチング時間共に規格値を外れてコレクタ損失が増加し、接合温度が上昇する可能性があります。
13.5~16.5V(N側) 13.0~18.5V(P側)	推奨電源電圧範囲内 正常動作します。
16.5~20.0V(N側) 18.5~20.0V(P側)	スイッチング動作します。但し、推奨範囲外ですので、スイッチング時間が高速になりすぎて、短絡時にはチップの短絡耐量が不足し、破壊することがあります。
20.0~	IPMの制御回路が破壊する可能性があります。

※リップルノイズの規定

制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、更には出力を停止(ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が±1V/μsより穏やかになるよう、リップル電圧が2Vより小さくなるように、電源回路を設計してください。

規定: dV/dt ≤ ±1V/μs, V_{ripple} ≤ 2Vp-p

大型 DIIPM+シリーズ アプリケーションノート

制御電源電圧低下保護動作シーケンス(N側, UV_D)

- a1. 制御電源電圧立上り…… UV_{Dr} にて次のオン信号(L→H)入力より動作開始
(各相への入力で相ごとに通常状態に復帰します)
- a2. 正常動作=IGBT オン=出力電流あり
- a3. 制御電源電圧低下 (UV_{Dt})
- a4. N側全相の IGBT オフ……制御入力の状態に関わらずオフ
- a5. F_o 出力(C_{Fo} で設定された F_o パルス幅以上、制御電源電圧が復帰するまでの間 F_o 出力)
- a6. 制御電源電圧復帰 (UV_{Dr})
- a7. 正常動作=IGBT オン=出力電流あり

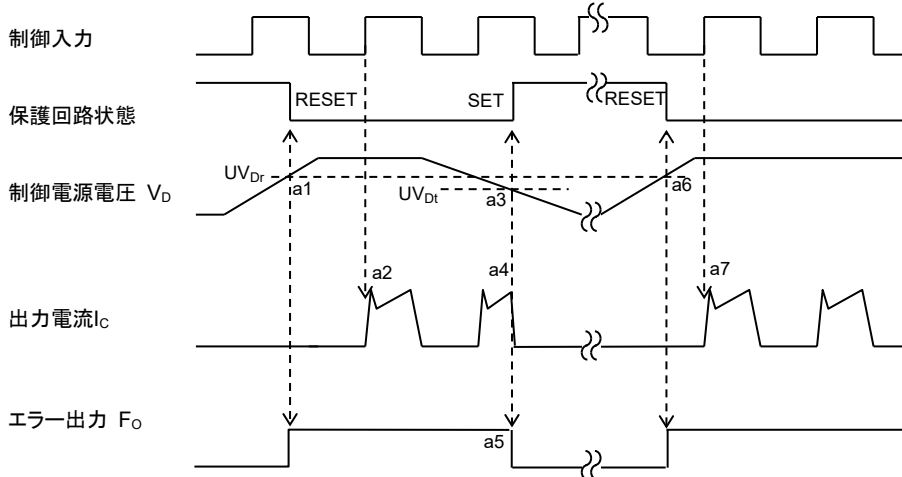


図 2-2-3 制御電源電圧低下保護(N側)動作シーケンス

制御電源電圧低下保護動作シーケンス(P側, UV_{DB})

- a1. 制御電源電圧立上り…… UV_{DBr} にて次のオン信号(L→H)入力より動作開始
- a2. 正常動作=IGBT オン=出力電流あり
- a3. 制御電源電圧低下 (UV_{DBt})
- a4. 該当相の P側 IGBT のみオフ……制御入力に関わらずオフ、 F_o 出力はなし
- a5. 制御電源電圧復帰 (UV_{DBr})
- a6. 正常動作=IGBT オン=出力電流あり

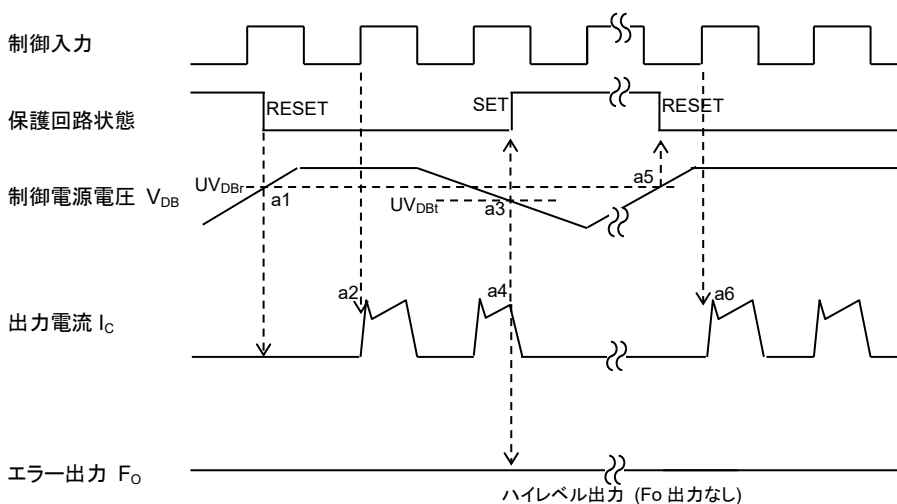


図 2-2-4 制御電源電圧低下保護(P側)動作シーケンス

大型 DIIPM+シリーズ アプリケーションノート

2.2.3 温度出力機能 V_{OT}

(1)温度出力機能の使用方法

本機能は、放熱用のファンの停止など放熱系の故障などによる温度上昇や重負荷継続時の出力制限といった、従来の外付けヒートシンクなどに取り付けられていたサーミスタと同様の方法での使用を推奨いたします。

ただし、温度出力機能は、制御 IC(LVIC)部に温度検出素子が内蔵され、LVIC 部の温度を検出し出力しているため、IGBT、FWDi などパワーチップの発熱は、外部ヒートシンク、モールド樹脂を介して伝わります。したがって、モータロックや短絡などパワーチップの急激な温度上昇には、LVIC の温度上昇は追従できません。

また、DIIPM 自身では保護をいたしませんので、温度出力をモニタし、保護が必要な場合は外部コントローラにてシステムの停止等、保護動作の実施が必要となります。

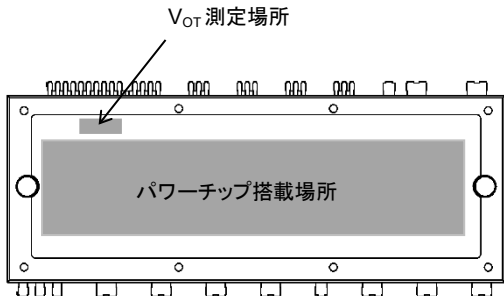


図 2-2-5 V_{OT} 温度検出点

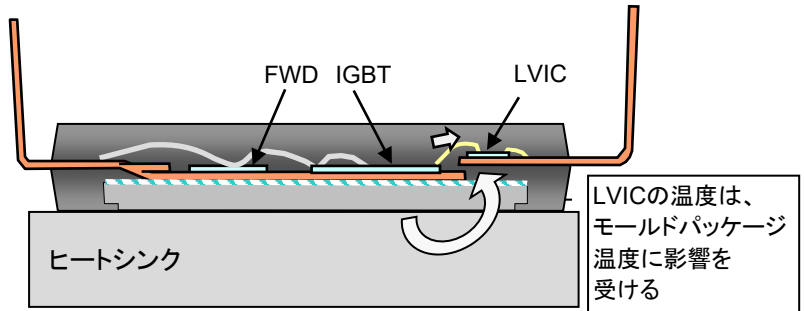


図 2-2-6 LVIC への温度の伝達経路

(2)温度出力端子(V_{OT} 端子)仕様

V_{OT} 端子の出力能力を表 2-2-4 に示します。 V_{OT} 出力は、図 2-2-7 に示すように温度検出素子の出力を OP アンプで増幅して、 V_{OT} 端子に出力する構成としています。その出力特性は、図 2-2-9 に示すように、温度に対し線形変化いたします。本出力の使用上の注意点を以下に記します。

表 2-2-4: 出力電流定格

	min.
ソース電流能力	1.7mA
シンク電流能力	0.1mA

*) ソース電流: V_{OT} 端子から流し出す電流
シンク電流: V_{OT} 端子に引き込む電流

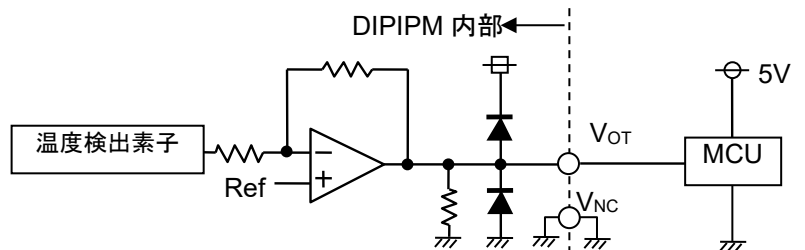


図 2-2-7 LVIC V_{OT} 端子部回路図

• 室温以下時の V_{OT} 出力について

室温より低い温度時において、出力の線形性が必要な場合、 $V_{OT}-V_{NC}$ (=コントローラ GND)間に 5.1k Ω のプルダウン抵抗の設置を推奨いたします。プルダウン抵抗を設置される場合は、 V_{OT} 出力電圧 ÷ 抵抗値程度の電流が、LVIC の消費電流として常時余分に流れることとなります。過熱保護のためだけに本出力を使用し、室温以下の出力が不要な場合、プルダウン抵抗は接続不要です。

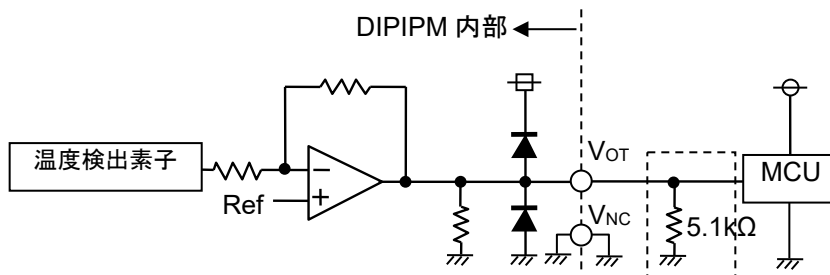


図 2-2-8 LVIC V_{OT} 端子部回路図 (室温以下出力使用時)

大型 DIIPM+シリーズ アプリケーションノート

下図に示す V_{OT} 出力特性はシステムにて過熱保護を設定する際の参考データとしてお取り扱いください。なおスペックにて規定する LVIC 温度以外の特性は設計値です。

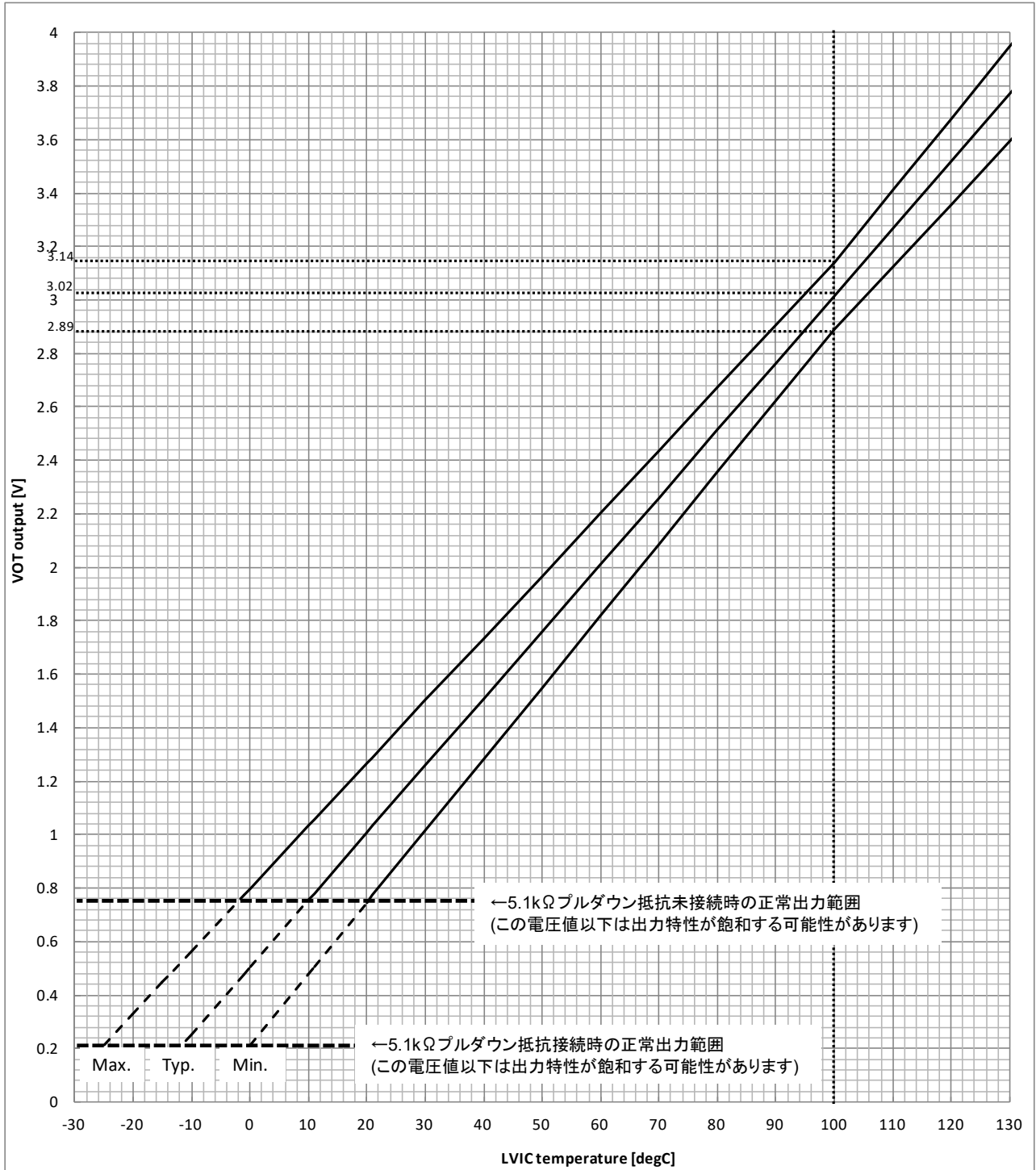


図 2-2-9 LVIC 温度- V_{OT} 出力電圧関係
(LVIC 温度=100°C以外の min.および max.特性は設計値です。)

パワーチップの発熱は、外部ヒートシンクなどを介して LVIC に伝わりますので、温度出力される LVIC 温度 (T_{ic}) とパワーチップ接合温度 (T_j)、チップ直下のケース温度 (T_c) の関係は、外部ヒートシンク、放熱条件、制御方法によって異なります。

この関係は放熱条件により変わりますので、本温度出力を使用した温度保護設計するためには、パワーチップ接合温度 (T_j)、LVIC 温度 (アナログ温度出力: T_{ic})、ケース温度 (T_c) の関係を実システム (放熱系) で評価して求めたうえで、温度保護設定値 ($T_c=125^\circ\text{C}$ 以下かつ $T_j=150^\circ\text{C}$ 以下となる範囲) を検討する必要があります。

大型 DIIPM+シリーズ アプリケーションノート

2.3 DIIPM のパッケージ

2.3.1 外形図

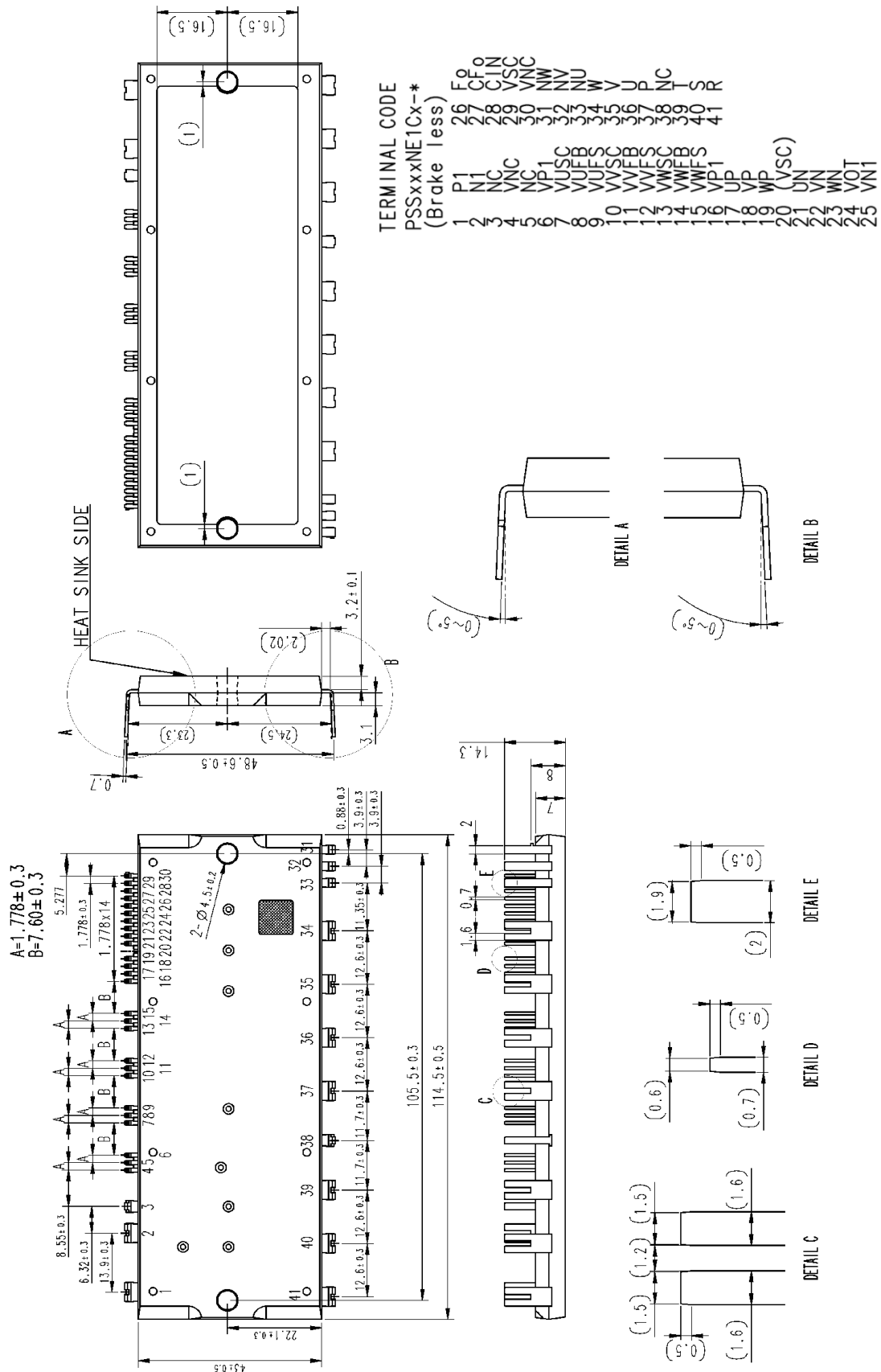


図 2-3-1 外形図 (単位:mm)

大型 DIIPM+シリーズ アプリケーションノート

2.3.3 端子配列と名称

表 2-3-1 端子説明

No.	端子名	端子名称
1	P1	コンバーター出力端子(+)
2	N1	コンバーター出力端子(-)
3	(NC)	No connection
4	$V_{NC}^{*1)}$	P 側制御電源 GND 端子
5	(NC)	No connection
6	$V_{P1}^{*2)}$	P 側制御電源端子(+)
7	V_{USC}	UP 相駆動電源 GND 端子と外部接続
8	V_{UFB}	UP 相駆動電源端子
9	V_{UFS}	UP 相駆動電源 GND 端子
10	V_{VSC}	VP 相駆動電源 GND 端子と外部接続
11	V_{VFB}	VP 相駆動電源端子
12	V_{VFS}	VP 相駆動電源 GND 端子
13	V_{WSC}	WP 相駆動電源 GND 端子と外部接続
14	V_{WFB}	WP 相駆動電源端子
15	V_{WFS}	WP 相駆動電源 GND 端子
16	$V_{P1}^{*2)}$	P 側制御電源端子(+)
17	U_P	UP 相制御入力信号端子
18	V_P	VP 相制御入力信号端子
19	W_P	WP 相制御入力信号端子
20	(V_{SC})	No connection
21	U_N	UN 相制御入力信号端子
22	V_N	VN 相制御入力信号端子
23	W_N	WN 相制御入力信号端子
24	V_{OT}	温度出力端子
25	V_{N1}	N 側制御電源端子(+)
26	Fo	エラー出力端子
27	CFo	エラー出力パルス幅設定端子
28	CIN	短絡トリップ電圧検出端子
29	V_{SC}	センス電流検出端子
30	$V_{NC}^{*1)}$	N 側制御電源 GND 端子
31	NW	W 相出力 GND(エミッタ)端子
32	NV	V 相出力 GND(エミッタ)端子
33	NU	U相出力 GND(エミッタ)端子
34	W	W 相出力端子
35	V	V 相出力端子
36	U	U 相出力端子
37	P	インバータ電源(+)
38	(NC)	No connection
39	T	AC 入力端子
40	S	AC 入力端子
41	R	AC 入力端子

注釈)

- 1) V_{NC} (4pin、30pin)は内部で接続されているため、どちらかの端子を GND に接続ください。
- 2) V_{P1} (6pin、16pin)は内部で接続されているため、どちらかの端子を制御電源電圧に接続ください。
- 3) V_{USC} - V_{UFS} (7-9pin)、 V_{VSC} - V_{VFS} (10-12pin)、 V_{WSC} - V_{WFS} (13-15pin)は外部で接続してください。
- 4) 3、5、20、38 ピンはダミー端子ですが電位を持っている可能性がありますので、NC(ノーコネクション)状態としてください。

大型 DIIPM+シリーズ アプリケーションノート

表 2-3-2 DIIPM の入出力端子構造

項目	記号	内容
P 側駆動電源端子 P 側駆動電源 GND 端子	V _{UFB} -V _{UFS} V _{VFB} -V _{VFS} V _{WFB} -V _{WFS}	<ul style="list-style-type: none"> P 側 IGBT 駆動用電源端子です。 DIIPM は、ブートストラップ回路を外付けすることにより外部電源が不要となります。ブートストラップコンデンサは、V_D から N-side IGBT のスイッチンググループによって充電されます。 V_{DB} が不安定だったり電流能力不足だったりすると、電源リプルやサージ電圧により誤動作することがあります。周波数及び温度特性の良いパスコン(～2μF 程度)を端子近傍に接続することを推奨します。 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。
P 側駆動電源 GND 端子と外部接続	V _{USC} -V _{UFS} 、 V _{VSC} -V _{VFS} 、 V _{WSC} -V _{WFS}	<ul style="list-style-type: none"> 外部基板上で各相の P 側駆動電源 GND 端子と接続してください。
P 側制御電源端子 N 側制御電源端子	V _{P1} V _{N1}	<ul style="list-style-type: none"> 内蔵 IC の制御側電源端子です。(LVIC と HVIC)。 V_{P1}, V_{N1} は外部基板上で接続してください。なお、V_{P1}(6pin、16pin)は内部で配線されているため、どちらかの端子を制御電源電圧に接続ください。 ノイズや電源リプルによる誤動作を抑えるために周波数特性の良い平滑コンデンサを制御端子近傍に接続ください。また、周波数及び温度特性の良いパスコン(～2μF 程度)の接続を推奨します。 電圧リプルは規格内にはいるように設計ください。 制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。
制御電源 GND 端子	V _{NC}	<ul style="list-style-type: none"> 内蔵 IC の制御側グラウンド端子です。(LVIC と HVIC) 入力、Fo 出力など制御の基準電位となります。ノイズの影響を避けるため、制御 GND 配線に母線電流が流れないようにしてください。(パワー GND と共通インピーダンスを持たないように分けて配線してください。) 4pin、30pin は内部で配線されているため、どちらかの端子を GND に接続ください。
制御入力端子	U _P 、V _P 、W _P U _N 、V _N 、W _N	<ul style="list-style-type: none"> スイッチング制御する入力端子です。電圧駆動タイプです。 内部で CMOS 構成のシュミットトリガ回路に接続し、Min.3.3kΩ でプルダウンされています。 ノイズに敏感ですので、パターンは最短とし、かつ配線に注意してください。 ノイズなどが重畳している場合は、RC フィルタを接続してください。RC フィルタを追加する場合、内部のプルダウン抵抗との分圧になりますので、入力端子のしきい値電圧にご注意ください。
センス電流検出端子	V _{SC}	<ul style="list-style-type: none"> N 側 IGBT で主電流から分流された電流が流れ出します。この端子と V_{NC} 間に電流検出抵抗を接続し、短絡保護をおこないます。 No.20 はダミー端子です。(No connection)
短絡トリップ 電圧検出端子	CIN	<ul style="list-style-type: none"> センス電流検出端子と V_{NC} 間に接続した電流検出抵抗に発生する電圧を CIN 端子にフィードバックして短絡保護を行います。内部でコンパレータ入力に接続されています。 ノイズによる短絡保護の誤動作を防止するため、RC フィルタ(推奨値時定数 1.5～2μs 程度)を接続してください。
エラー出力端子	Fo	<ul style="list-style-type: none"> DIIPM の異常状態(N 側の SC、UV 回路動作時)を出力する端子です。 オープンドレイン出力のため、マイコンに直接入力する際は、5V 系電源に 10kΩ 程度の抵抗でプルアップすることを推奨します。(Fo 出力電圧が、マイコンの入力しきい値を満たすか確認ください。V_{Fo}=max0.95V(@I_{Fo}=1mA, 25°C)です。) Fo 出力でカブラ駆動する場合は、シンク電流 I_{Fo} の最大定格 5mA を満たすようにプルアップ抵抗値を設定ください。I_{Fo} が増加すると V_{Fo} も増加するため 15V への接続を推奨します。
エラー出力パルス幅 設定端子 (コンデンサ接続)	CFo	<ul style="list-style-type: none"> エラー出力パルス幅を設定する端子です。 この端子と V_{NC} 間にコンデンサを挿入し、エラー出力時間幅を設定します。 コンデンサ容量 22nF であればエラー出力時間幅 typ 値 2.4ms となります。 必要な Fo パルス幅に対するコンデンサ容量値の計算式は以下のとおりです。 C_{Fo}= 9.1 × 10⁻⁶ × t_{Fo}
温度出力端子	V _{OT}	<ul style="list-style-type: none"> LVIC 温度をアナログ信号で出力する端子です。内部はオペアンプの出力となっています。 室温より低い温度時において、出力の線形性が必要な場合、V_{OT}-V_{NC}(=コントローラ GND)間に 5.1kΩ のプルダウン抵抗の設置を推奨いたします。

大型 DIIPM+シリーズ アプリケーションノート

(前ページの表の続き)

項目	記号	内容
インバータ電源端子	P	<ul style="list-style-type: none">・インバータの電源(正側)端子です。・P側 IGBTのコレクタに接続されています。・電源配線やパターンインダクタンス成分によるサージ電圧を抑制するため、平滑コンデンサをP端子の直近に配置してください。また、周波数特性に優れたフィルムコンデンサ(スナバ)の追加も効果的です。
インバータGND端子	NU、NV、NW	<ul style="list-style-type: none">・インバータのグランド端子です。NUにU相、NVにV相、NWにW相のN側IGBTのエミッタが接続されています。・エミッタ共通とする場合、NU、NV、NW端子は端子直近で相互に接続してください。・配線インダクタンスは10nH以下となるように設計してください。
インバータ出力端子	U、V、W	<ul style="list-style-type: none">・インバータ出力用の端子です。モーターなどの負荷を接続します。・各端子はハーフブリッジで構成されたIGBTの midpoint にそれぞれ内部で接続されています。
AC電源入力端子	R、S、T	<ul style="list-style-type: none">・AC電源の入力端子です。
コンバータ出力端子	P1	<ul style="list-style-type: none">・コンバータ出力用の端子です。
コンバータGND端子	N1	<ul style="list-style-type: none">・コンバータのグランド端子です。

※ スイッチング動作時のDIIPM制御電源端子、P-N間電圧のサージ電圧や、入力端子のノイズをオシロスコープなどで確認してください。その際、オシロスコープの時間軸は1 μ s/div以下での確認が必要です。サージ電圧を含む電圧が規格を超えていないかご確認ください。

定格を超えるサージや入力しきい値を越えるようなノイズが重畳しているようであれば、対策(配線見直し、コンデンサの位置・容量の見直し、ツェナダイオードの搭載、フィルタの強化など)をご検討ください。

大型 DIIPM+シリーズ アプリケーションノート

2.4 取り付け方法

大型 DIIPM+ の絶縁距離および放熱ヒートシンクに取り付ける場合の注意点を示します。

2.4.1 絶縁距離

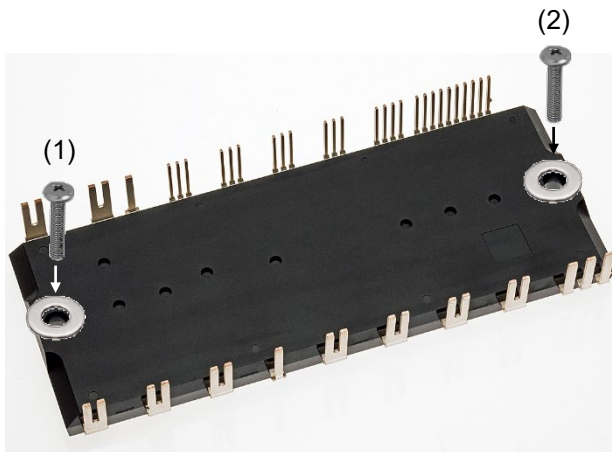
各空間、沿面距離を表 2-4-1 に示します。

表 2-4-1 大型 DIIPM+の絶縁距離(min 値)

空間距離(mm)		沿面距離(mm)	
パワー端子間	7.4	パワー端子間	7.9
制御端子間	6.1	制御端子間	6.5
対アース間(端子-放熱ヒートシンク間)	3.1	対アース間(端子-放熱ヒートシンク間)	3.1

2.4.2 取り付け方法と注意点

モジュールをヒートシンクなどに取り付ける際、過剰なトルクでの締め付けや、片締めを行うと、パッケージに応力が加わりモジュール内パワー素子などのチップまたは、パッケージ破壊(絶縁劣化)を招くことになります。推奨する締め付け順序例を図 2-4-1 に示します。締め付け時にはトルクドライバーを使用し、所定のトルクで締めつけてください。また、DIIPM の放熱面とヒートシンク表面に、異物が混入しないようにしてください。正常な取り付け手順を設定した場合でも突発的な過度の締め付けや異物の混入などによるパッケージへのダメージ印加の可能性もあり得ますので、安全性の確保の観点から DIIPM 取り付け後の製品でも絶縁検査等の実施を推奨いたします。



仮締め
(1)→(2)
本締め
(1)→(2)

Note: 仮締めの締め付けトルクは、推奨トルクの最大値の 20~30%を目安に設定してください。また、交互に締め付けるのであれば順序はどちらが先でも問題ありません。((2)→(1)の順序でも可です)

図2-4-1 推奨締め付け手順

大型 DIIPM+シリーズ アプリケーションノート

表 2-4-2 締付トルク強度と外付けヒートシンク平面度の規格

項目	条件	最小値	標準値	最大値	単位
締付トルク	取付けネジ:M4 [*] 推奨値 1.18 M・m	0.98	-	1.47	N・m
放熱面平面度	図 2-4-2 を参照	-50	-	100	μm

^{*})取付けねじには平座金(推奨:JIS B1256)を使用してください。

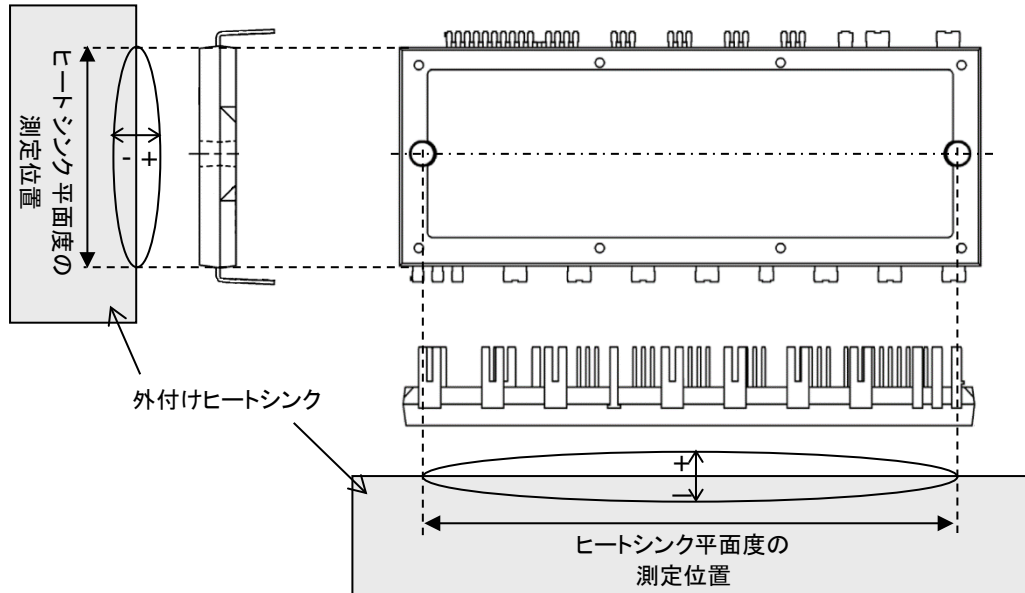


図 2-4-2 外付けヒートシンクの平面度測定位置(単位:mm)

放熱効果を最大限に得るためには、その接触面積をできるだけ大きくし接触熱抵抗を最小にする必要があります。ヒートシンクの平面度(反り/凹凸)は、DIIPM 取り付け面を図 2-4-2 のとおりとし、表面仕上げ Rz12 以内を推奨します。

また、DIIPM の放熱面とヒートシンクとの接触面には熱伝導性の良いグリースを 100μm~200μm 程度、均一になるように塗布してください。ヒートシンクとの接触面にグリースを塗布しますと接触部の腐食防止にも役立ちます。ただし、塗布するグリースは、使用動作温度範囲内で変質せず、経年変化のないものをご使用ください。製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。

目安として、グリース厚 20μm、グリースの熱伝導率 1.0W/m・K 時の製品放熱面-フィン間熱抵抗値(1 素子あたり)は、0.25K/W となります。グリース塗布、ヒートシンク取り付け時には、空気を巻き込まないように十分なじませてください。(接触熱抵抗の増加、締め付けの緩みにつながる可能性があります)

放熱グリース内フィラー径、粘度あるいは塗布量によって締め付け後に放熱グリースが厚くなり、接触熱抵抗の悪化やパッケージ割れの恐れがあります。放熱グリースの選定や塗布方法に十分ご注意ください。なお、放熱グリースの詳細な特徴や特性につきましては、メーカーに直接お問い合わせください。

大型 DIIPM+シリーズ アプリケーションノート

2.4.3 はんだ付け条件

DIIPM 基板実装時のはんだ付け条件を下記します。(リフローはんだ付けには、対応いたしません。)

(1) フローはんだ条件

フローはんだの条件につきましては、はんだ槽温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 以下、浸漬時間 10 ± 1 秒以内であれば、当社信頼性試験条件(表 2-4-3) 以下であり問題ないものと考えます。また、予備加熱につきましては、DIIPM の保存温度定格の 125°C 以下での実施を推奨します。

フローはんだ付けでは、はんだ噴流の状態、コンベア速度、基板のランド、スルーホール形状などによって条件が変化いたします。最終的には実際の基板を使用し、現品で問題ないことをご確認願います。

表 2-4-3 信頼性試験条件

信頼性項目	試験条件
はんだ耐熱性	はんだ温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 、 10 ± 1 秒

(2) 手はんだ条件

はんだごてなどによる手はんだ付け条件につきましては、はんだごての種類(ワット数含む)や基板上の配線パターンにより変わりますので、一般的な推奨条件は提示しておりません。

はんだごてによるはんだ付け時の温度は、DIIPM のトランスファーモールド樹脂の T_g (ガラス転位温度)やチップ耐熱温度を考慮して、リード端子根元部で 150°C 以下にすることを推奨しています。

はんだ付け条件を設定する場合には、使用するはんだごて、基板にて DIIPM の端子根元温度、はんだぬれ性などを十分確認のうえ、設定願います。(はんだ付け時間は極力短時間としてください)

また、はんだごて使用時の一般的な注意点として、半導体用のはんだごて(12~24Vの低電圧仕様)を用いて、こて先はアースして使用願います。温度管理のために、温度調整機能付きのはんだごてが有効です。

大型 DIIPM+シリーズ アプリケーションノート

第3章 DIIPM の使用方法

3.1 DIIPM の使用方法と応用

この章では、DIIPM の使用方法、周辺回路例について説明します。

3.1.1 システム接続例

- C1: 温度・周波数特性に優れた電解コンデンサ
注) 容量値は PWM 制御入力方式によって変わります。
- C2: バイパスコンデンサ 0.1~2 μ F ノイズ除去用の温度、周波数、DC バイアス特性に優れたセラミックコンデンサ(B, R 特性など)
- C3: スナバコンデンサ 1 μ F以上(フィルムコンデンサなど)
- D1: サージ保護用ツェナダイオード24V/1W

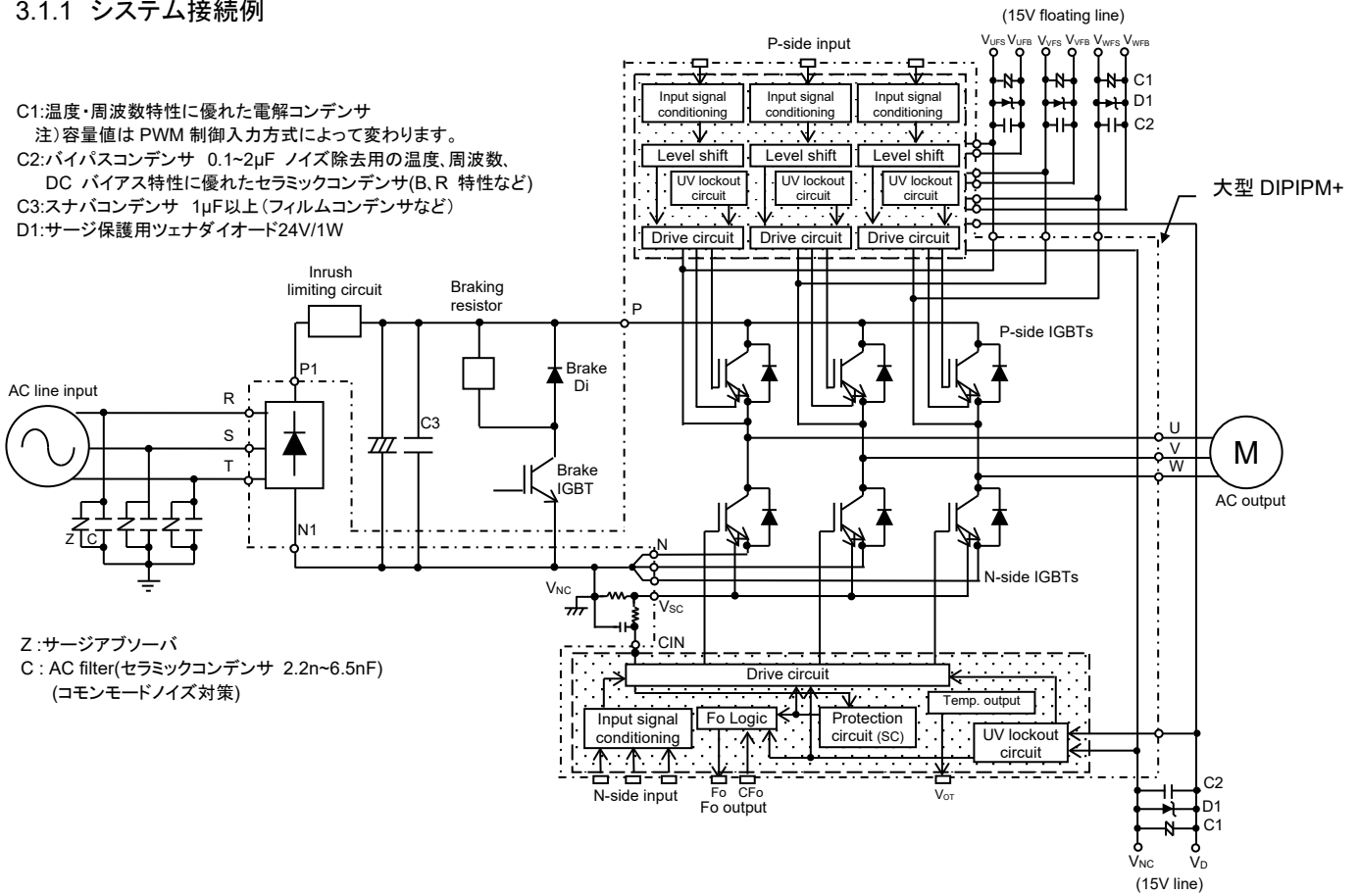


図 3-1-1 システム接続例(CI タイプ)

大型 DIIPM+シリーズ アプリケーションノート

3.1.2 インターフェイス回路例 (直接入力時、N 側エミッタ共通配線時)

マイコン(MCU)や DSP など、DIIPM を直接接続する場合のインターフェイス回路例を示します。

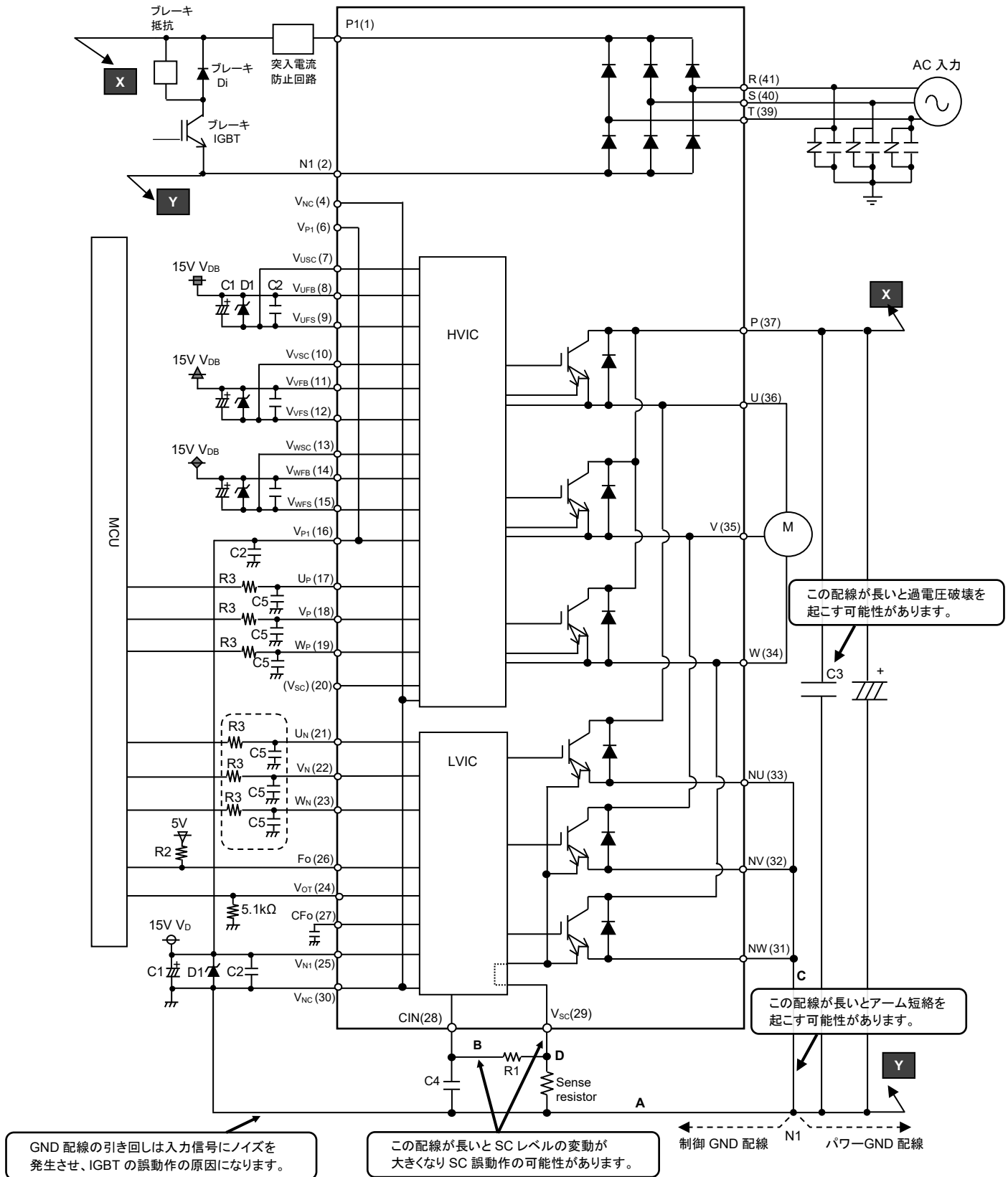


図 3-1-2 インターフェイス回路例(直接接続、4 電源駆動)

大型 DIIPM+シリーズ アプリケーションノート

前ページの外部応用回路例について:

- (1) 制御側電源GNDとパワー側GNDの配線を共通のベタ配線で配線すると大電流が流れるパワーGNDの変動の影響を受け誤動作の可能性がありますので、制御側電源GNDとパワー側GNDの配線は分けて配線し、N1にて一点接続としてください。
- (2) 制御電源へのサージ電圧吸収用にツェナダイオードD1(ツェナ電圧24V、許容損失1W程度)を制御電源端子間近傍への接続を推奨します。
- (3) サージ電圧による過電圧破壊を防止するために、平滑コンデンサとP、N1端子間の配線はできるだけ短くしてください。またP-N1端子間に適切な容量(1 μ F以上)のスナバコンデンサC3を挿入してください。スナバコンデンサの容量は配線パターン等によって最適となるように設計ください
- (4) 短絡保護機能の誤動作防止用RCフィルタ(R1C4)の時定数は、短絡時に2 μ s以下で遮断できるように設定してください。(1.5~2 μ s推奨) R1,C4は温度補償用などバラツキの小さいものを推奨します。遮断時間は、配線パターンによって変わりますので実システムにて十分評価してください。R1の抵抗値が小さい場合、SC保護の遅れにつながりますので、R1はRsの10倍以上としてください。(100倍程度を推奨)
- (5) A、B、Cの配線はIGBTの動作に大きな影響をあたえるため、配線はできるだけ短く配線してください。
- (6) センス抵抗Rsには、温度特性を含めばらつき \pm 1%以内で低インダクタンスの物を推奨します。また、許容電力は0.03W以上を推奨しますが、最終的には実システムで十分評価してください。
- (7) CIN端子への配線は、SC保護の誤動作防止のため、センス抵抗端子直近のD点で分岐し、Vsc端子-センス抵抗間配線はできるだけ短くしてください。
- (8) 各コンデンサはDIIPMの端子近傍に設置してください。C1は、温度特性、周波数特性が優れた電解コンデンサ、C2は0.1 μ -2 μ Fでノイズ除去用の温度、周波数、DCバイアス特性に優れたセラミックコンデンサ(B、R特性など)を推奨します。
- (9) 入力信号はハイアクティブです。IC内部で3.3k Ω (min)の抵抗でプルダウンしています。誤動作防止のため、入力信号配線はできるだけ短く配線し、ノイズによる誤動作防止のためRCフィルタ(時定数100ns以上(例R3=100 Ω 、C5=1000pF))の挿入を推奨いたします。挿入する場合は、入力のしきい値電圧を満足するように設定してください。専用HVICを採用しているため、MCUに直接接続することができます。
- (10) Fo端子はオープンドレインです。If_o=1mA以下となるような抵抗値でMCUの制御電源(5Vなど)にプルアップしてご使用ください。(If_o=プルアップ電源電圧/プルアップ抵抗値で概算できます。5Vにプルアップする場合、5k Ω 以上、10k Ω を推奨します)カプラー使用時などは、15Vにもプルアップ可能です。
- (11) Fo出力のパルス幅は、CFo端子に接続するコンデンサで設定可能です。 $C_{Fo} = 9.1 \times 10^{-6} \times t_{Fo}$
- (12) 制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し、停止することがあります。制御電源ラインのノイズは、 $dV/dt \leq 1V/\mu s$ 、 $V_{ripple} \leq 2Vp-p$ となるように電源回路を設計してください。
- (13) DIIPMでは、各相あるいは、個体間で並列接続して同一負荷を駆動するような使用方法は、推奨いたしません。
- (14) 6,16ピンのV_{P1}(制御電源端子)、4,30ピンのV_{NC}(制御電源GND端子)は内部で接続されていますので、どちらか一方のみを使用し、他方はNC(ノーコネクション)状態でご使用ください。
- (15) V_{USC}-V_{UFS}(7-9ピン)、V_{VSC}-V_{VFS}(10-12ピン)、V_{WSC}-V_{WFS}(13-15ピン)は外部で接続してください。
- (16) 3、5、20、38ピンはダミー端子ですが電位を持っている可能性がありますので、NC(ノーコネクション)状態とってください。

大型 DIIPM+シリーズ アプリケーションノート

3.1.3 インターフェイス回路例(フォトカプラ駆動)

フォトカプラを使用した場合の応用回路例を示します。

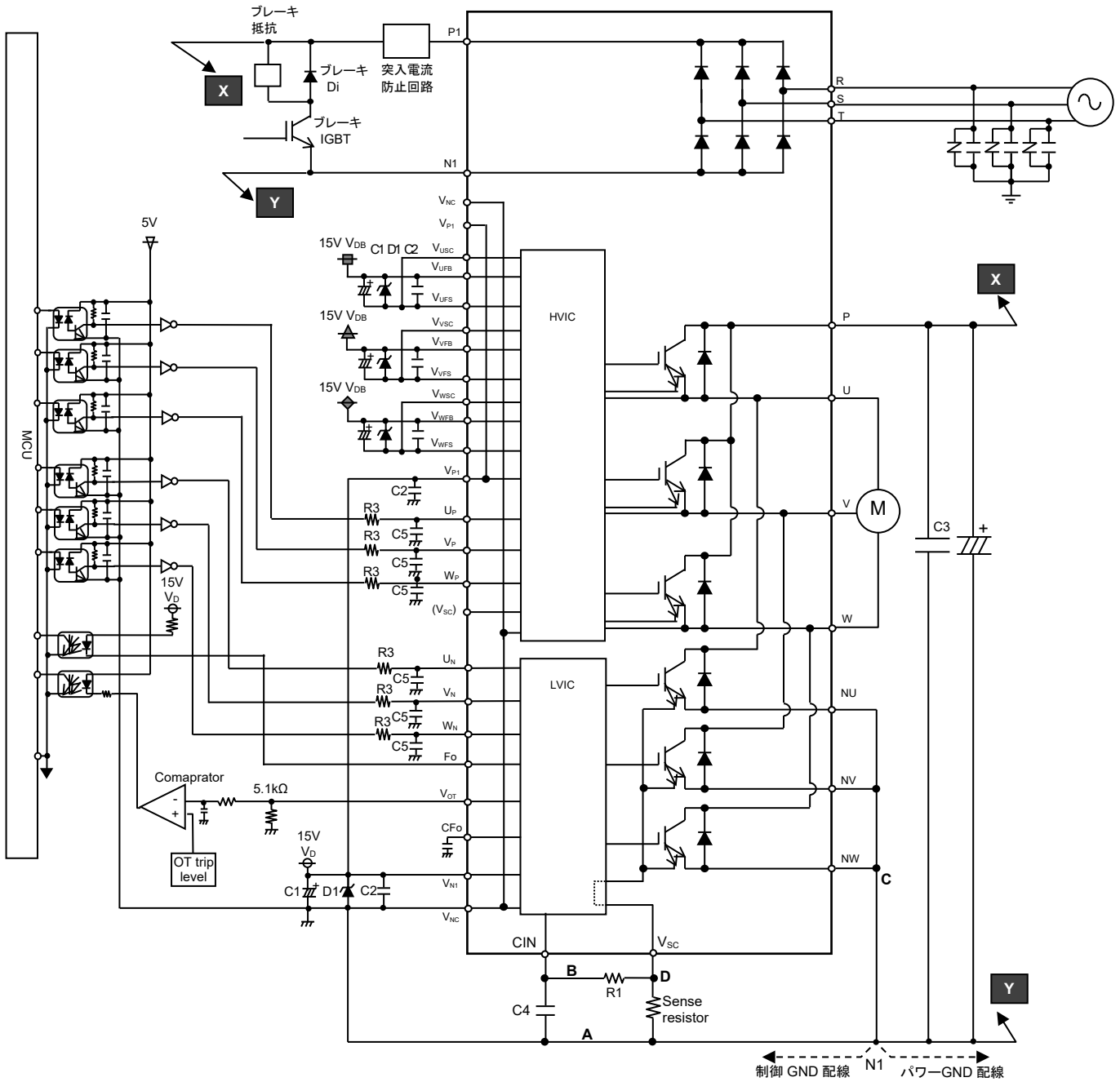


図 3-1-3 インターフェイス回路例(フォトカプラ駆動)

- 注:
- (1) 高速フォトカプラ(高 CMR)の使用を推奨します。
 - (2) Fo 出力にてカプラ駆動する場合には、Fo シンク電流 I_{FO} が 5mA 以下になるように制限抵抗値を設定してください。Fo 出力は、 $I_{FO}=5mA$ 時に $\max 4.75V(@25^{\circ}C)$ となる可能性がありますので、5mA の I_{FO} を確保するには、15V 電源にプルアップしてください。
 - (3) ノイズによる誤動作防止のため、DIIPM の入力端子直近に RC フィルタ(時定数 100ns 以上(例 $R3=100\Omega$, $C5=1000pF$))の挿入を推奨いたします。挿入する場合は、入力のしきい値電圧を満足するように設定してください。
 - (4) V_{OT} 出力部のコンパレータ回路について、コンパレータ出力のチャタリングを防止するためヒステリシス付き入力回路を推奨します。

大型 DIIPM+シリーズ アプリケーションノート

3.1.4 DIIPM の信号入力端子と Fo 端子

(1)制御入力端子構造と接続例について

DIIPM の入力端子はハイアクティブ動作です。ローアクティブの製品と比べて、ハイアクティブ動作にすることで立上げ、立下げシーケンスに関して、フェイルセーフとなります。プルダウン抵抗(min.3.3kΩ)を内蔵しており、外付けのプルダウン抵抗は不要となります。

図3-1-4に入力部ブロック図を、表3-1-1に入力しきい値電圧規格を示します。

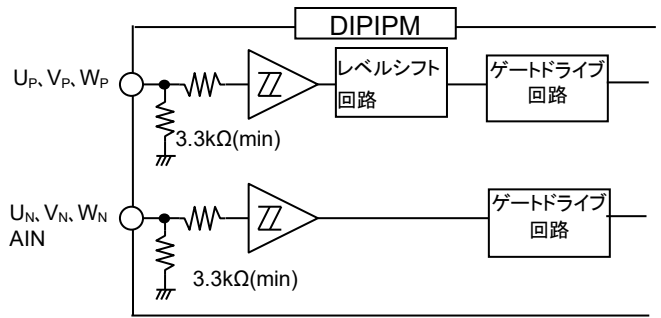
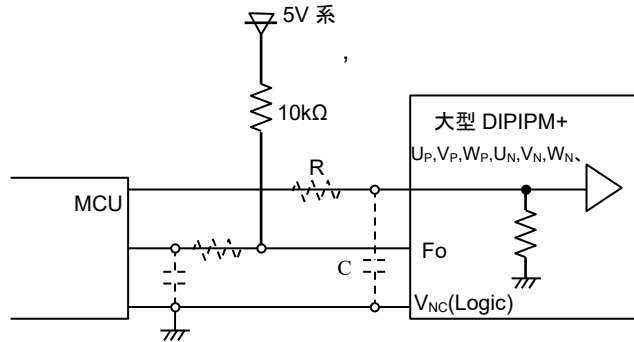


図 3-1-4 入力部ブロック図

表 3-1-1 入力しきい値の規格(V_D=15V, T_j=25°C)

項目	記号	条件	最小値	標準値	最大値	単位
1. 入力オンしきい値電圧	V _{th(on)}	U _P , V _P , W _P - V _{NC}	—	—	2.6	V
2. 入力オフしきい値電圧	V _{th(off)}	U _N , V _N , W _N , -V _{NC} 端子間	0.8	—	—	

信号配線は極力短く配線する必要がありますが、配線が長くノイズが重畳する場合は、図 3-1-5 の回路例のような対策を検討してください。また、DIIPM には、表 3-1-2 のように許容最小入力パルス幅の規定があります。この規定パルス幅より長いパルスを入力するようにしてください。



注) 入力の RC カップリングは、応用システムに使われる PWM 制御入力方式、入力配線パターンにより変わります。DIIPM 入力信号部は IC 内部で 3.3kΩ(min)の抵抗プルダウンを行っています。入力信号ラインに抵抗を挿入される場合は、DIIPM の入力しきい値を満足する設定としてください。

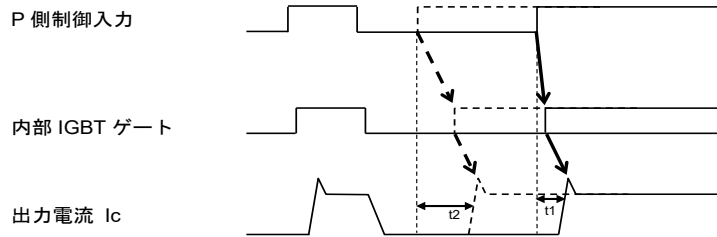
図 3-1-5 入力端子接続例

表 3-1-2 許容最小入力パルス幅

項目	記号	条件	最小値	単位
許容最小入力パルス幅	PWIN(on)	(注)	3.0	μs
	PWIN(off)		3.0	

注)

- ・PWIN(on)未満のパルス幅の入力オン信号には出力が応答しないことがあります。
- ・PWIN(off)未満のパルス幅の入力オフ信号には、DIIPM は出力が応答しない、またはターンオン時間が大きくなる場合があります(P 側のみ)。また、コレクタ電流(IC)の定格値を超過した場合、PWIN(off)以上のパルス幅の入力オフ信号を印加しても、ターンオン時間が大きくなる場合があります。詳細は下図のタイミング図をご参照ください。



実線…通常の出力動作:ターンオン時間:t1
破線…遅延した場合の出力動作: ターンオン時間:t2
(t1=通常のターンオン時間)

図 3-1-6 許容最小入力パルス幅 PWIN(off)以下の信号を印加した場合の出力動作(P 側のみ)

大型 DIIPM+シリーズ アプリケーションノート

(2) Fo 端子部内部回路構成

Fo 端子はオープンドレインです。外部 I/F 系の電源(5V 系電源など)へプルアップする場合は 10kΩ を推奨します。(図 3-1-5 をご参照ください。)

Fo 出力を直接マイコンなどに入力する場合、エラー出力電圧 V_{FO} とシンク電流 I_{FO} の依存性($V_{FO}=\max 0.95V$ @ $I_{FO}=1mA$, $25^{\circ}C$)に注意し、マイコンの入力閾値電圧以下となるようにプルアップ抵抗値を設定してください。

Fo 出力でカプラなどを駆動する場合、Fo 出力のシンク電流の最大値である 5mA までとなります。 $I_{FO}=5mA$ 時には、Fo 出力電圧は $\max 4.75V$ (@ $25^{\circ}C$)となる可能性がありますので、15V 電源にプルアップしてください。5mA の電流能力で足りない場合は、フォトカプラの特性に応じて、バッファ等の接続をご検討ください。

表 3-1-3 および図 3-1-7 に Fo 端子の V-I 特性(代表例)を示します。

表 3-1-3 Fo 信号電氣的特性

項目	記号	条件	最小値	標準値	最大値	単位
エラー出力電圧	V_{FOH}	$V_{SC}=0V$, $Fo=10k\Omega$ 5V プルアップ	4.9	—	—	V
	V_{FOL}	$V_{SC}=1V$, $I_{FO}=1mA$	—	—	0.95	V

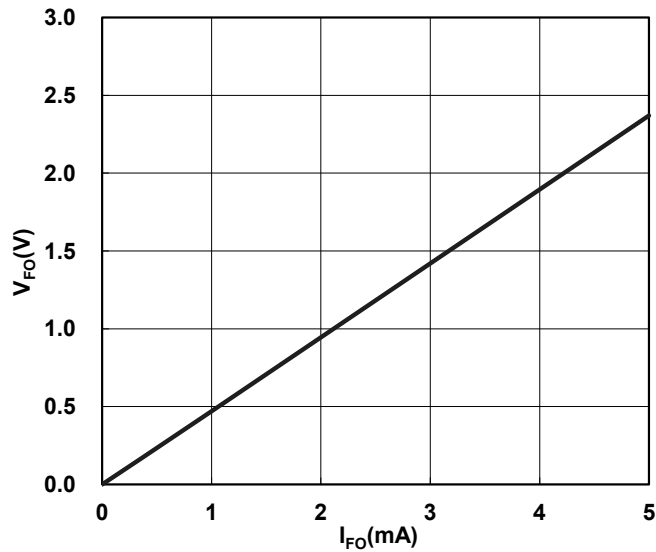


図 3-1-7 Fo 端子の V-I 特性($V_D=15V$, $T_j=25^{\circ}C$, 代表例)

大型 DIIPM+シリーズ アプリケーションノート

3.1.5 スイッチングサージ電圧の抑制(スナバコンデンサの接続)

コンデンサからスイッチング素子を通してコンデンサへ戻る閉回路には、スイッチング時に高いdi/dtが発生します。この回路の配線が長い場合、配線インダクタンスによるL・di/dt電圧は、ターンオフ時やリカバリ時にサージ電圧として素子に印加され、これが素子耐圧を越えれば素子は破壊します。

これを防ぐ方法には下記のようなものがあり、これらを併用するのが一般的です。

- ① 平滑コンデンサと素子の配置を近づけ、かつ往復線路をラミネート状に配置し磁界をキャンセルすることにより、インダクタンスを減少させる。
- ② 素子の端子直近に、スナバコンデンサを接続し、高周波電流をバイパスさせ、サージ電圧を吸収する。
- ③ 平滑コンデンサそのものを低インピーダンスタイプとする。

上記①や③により主回路の配線インダクタンス(L1)をできるだけ抑え、それでもサージ電圧が大きい場合 ②を用いて抑制することが一般的な対策になります。②については、配線インダクタンス(L1)が大きいとCs-L1間の共振により電圧の振動が大きくなる場合があります。その時はスナバコンデンサ容量Csの値を変更すると振動が抑えられます。

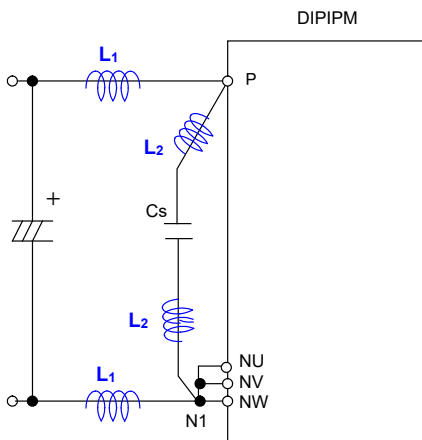


図 3-1-8 スナバ接続回路

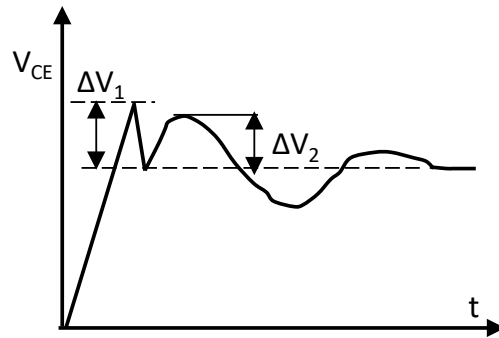


図 3-1-9 ターンオフ時の VCE 電圧波形例

L1: 平滑コンデンサとDIIPMを接続する配線のインダクタンス。

L2: スナバコンデンサのリード線のインダクタンス。このインダクタンスが大きいとバイパスしなくなります。

サージ電圧による過電圧破壊を防止するために、平滑コンデンサと DIIPM の P 端子間および N 端子間の配線をできるだけ短くした場合でも、サージ電圧が大きい場合はスナバ回路を推奨します。また、スナバコンデンサの容量は 1μF 以上を推奨します。(スナバコンデンサの耐圧は、素子耐圧以上のものを使用してください。)

ターンオフ時の VCE 電圧波形例を図 3-1-9 に示し、回路のトータルインダクタンスを $L(=2 \times L_1 + 2 \times L_2)$ とします。スナバ回路の適用例における ΔV_1 、 ΔV_2 、スナバコンデンサ Cs 設計値の計算式を下記に示します。

$$\Delta V_1 = 2 \times L_2 \times \frac{di}{dt} \quad , \quad \Delta V_2 = \sqrt{\frac{L \times I_{OFF}^2}{C_s}}$$

$$\frac{1}{2} \times L \times I_{OFF}^2 = \frac{1}{2} \times C_s \times \Delta V_2^2 \quad , \quad C_s = \frac{L \times I_{OFF}^2}{\Delta V_2^2}$$

図 3-1-8 の回路では、ターンオフ直後にまず IGBT のターンオフによる di/dt とスナバコンデンサ(Cs)のインダクタンス(L2)によるサージ電圧 ΔV_1 が発生します。 ΔV_1 を抑えるためにはスナバインダクタンス L2の低減が必要です。

その後、L1が大きいとL1+L2とスナバコンデンサ(Cs)との共振が発生し、そのピーク電圧 ΔV_2 が発生します。 ΔV_2 を抑える為にはスナバコンデンサ Cs の値を十分大きくする、およびトータルインダクタンス L の低減が必要です。また I_{OFF} は短絡時に流れる電流を想定しており、定格電流 x10 倍(10 倍は目安です)として計算してください。

大型 DIIPM+シリーズ アプリケーションノート

3.1.6 GND 周辺配線について

短絡保護用センス抵抗周辺の配線及び GND 配線は、配線インダクタンスによって短絡保護動作などに影響を与えます。極力短く設計し、配線インダクタンスを極力抑えるようにしてください。

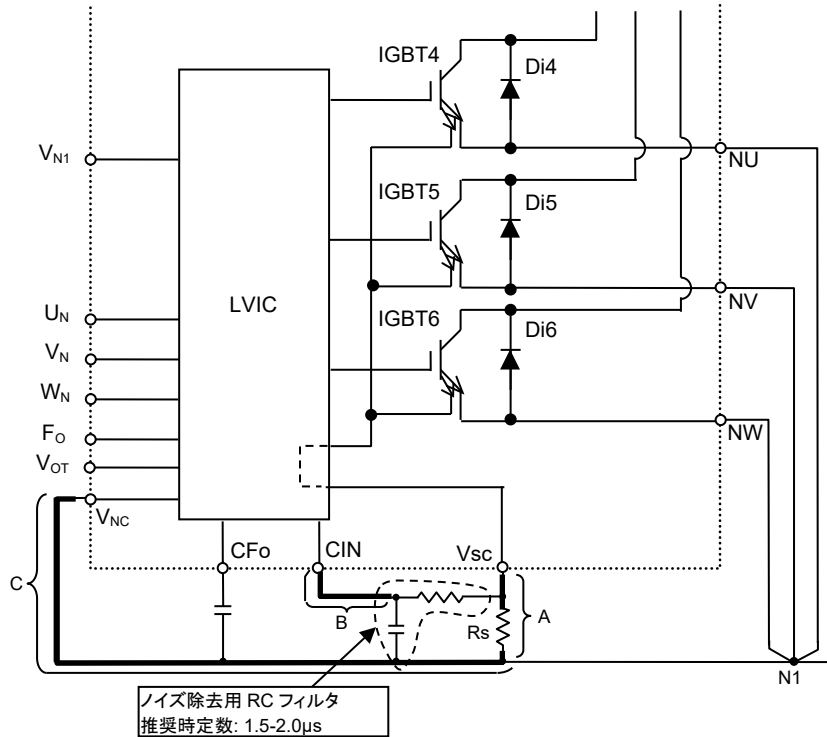


図 3-1-10 センス抵抗周辺配線と配線の影響

(1) A 部配線パターンの影響

A 部配線パターンが長いと、IGBT のスイッチング時に抵抗を含めた A 部配線インダクタンスにより発生するサージ電圧により、短絡保護レベルが変化する要因となります。本配線部は、極力短く配線してください。

(2) B 部配線パターンの影響

センス抵抗に発生するノイズを除去するために、RC フィルタ回路を接続しますが、B 部配線が長いと、フィルタ効果が小さくなり、誘導ノイズをうけやすくなります。RC フィルタは CIN、V_{NC} 端子近傍に設置してください。

(3) C 部配線パターンの影響

上記に全て影響します。GND 配線は極力短く配線する必要があります。ベタパターンで配線する場合は、制御 GND とパワー GND は、同一のベタパターンにせずに分けて配線し、制御 GND とパワー GND は、N1 点 (NU、NV、NW を接続した点) にて 1 点接続としてください。

大型 DIIPM+シリーズ アプリケーションノート

3.1.7 PCB設計時の注意点について

PCBパターンを設計される上でパターン上の主な注意点を図 3-1-12 に示します。

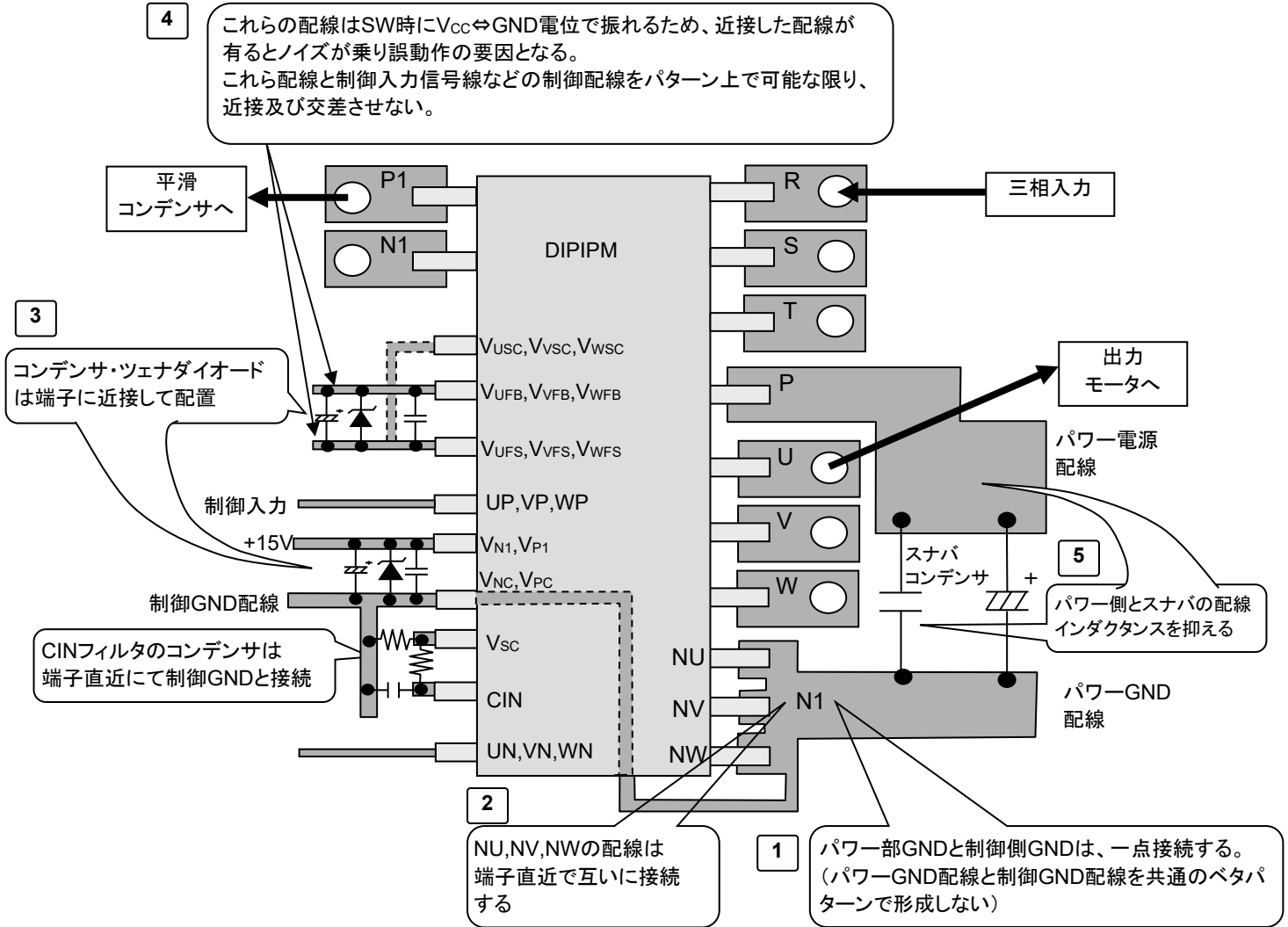


図 3-1-11 PCBパターン設計時の注意点

PCB パターンにおけるトラブル事例

	パターン事例	トラブル発生事例
1	パワーGNDと制御GNDがオーバーラップして配線	パワーGNDに流れる不連続な大電流による di/dt と配線の寄生インダクタンスによって生じるサージが、制御GNDに伝搬して制御GNDレベルが変動し、同GNDを基準としている入力端子に誤信号が入力されIGBTが誤オンしてアーム短絡発生
	GND配線にループあり	GNDループに迷走電流が流れることでGND電位変動が発生し、入力端子に誤信号が入力されIGBTが誤オンしてアーム短絡発生
2	NU,NV,NW端子-N1間配線が長い	配線が長いことにより寄生インダクタンスが大きくなり、スイッチングによって発生する di/dt によりサージが発生し、以下のようなトラブルが発生 ・VS電位(出力端子電位)の低下によるHVIC誤動作の発生 ・LVICの過電圧破壊の発生
3	コンデンサ・ツェナダイオードが無し、或いは位置が端子から離れている	制御ICの過電圧破壊や誤動作の発生
4	P側駆動電源配線と入力配線が近接・平行に配線	P側駆動用電源配線とDIPへの制御入力配線間の浮遊容量を通してクロストークノイズが伝搬し、入力端子に誤信号がはいりIGBTが誤オンしてアーム短絡が発生
5	パワー電源とパワーGNDの配線が長い	配線が長いことにより寄生インダクタンスが大きくなり、スイッチングによって発生する di/dt によりサージが発生し、以下のようなトラブルが発生 ・VS電位(出力端子電位)の低下によるHVIC誤動作の発生 ・LVICの過電圧破壊の発生
	スナバ回路の配線が長い	パワー素子の過電圧破壊の発生

大型 DIPIPM+シリーズ アプリケーションノート

3.1.8 SOA(スイッチング時、短絡時)

DIPIPM の SOA について下記に示します。(規定はしていません)

V_{CES} : DIPIPM 内部の IGBT のコレクターエミッタ間電圧の最大定格

V_{CC} : P-N 間電源電圧

$V_{CC(surge)}$: V_{CC} に、P-N 電源間につながる電解コンデンサと IPM の P-N 間の配線インダクタンスにより発生するサージ電圧を加えた電圧を表します。

$V_{CC(PROT)}$: 自己保護可能な P-N 間電源電圧を表します。

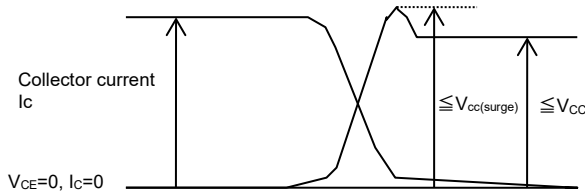


図 3-1-12 スwitching時の SOA

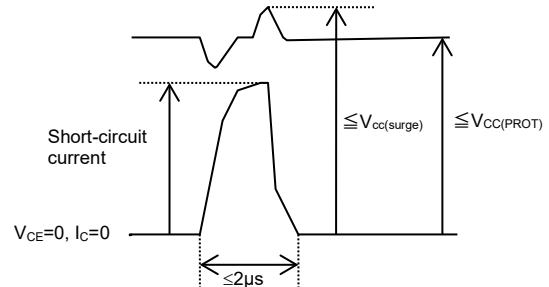


図 3-1-13 短絡時の SOA

スイッチングターンオフ時

V_{CES} はDIPIPMに搭載されるIGBTの耐圧1200Vを示しています。この値より、DIPIPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し200V以下)を引いたものが、サージ込みの定格 $V_{CC(surge)}=1000V$ となります。さらに、P-N電源間に接続される電解コンデンサとIPMのP-N間の配線インダクタンスにより発生するサージ電圧(200V以下)を引いたものが、定常時の定格の $V_{CC}=800V$ となります。

短絡時

V_{CES} はDIPIPMに搭載されるIGBTの耐圧1200Vを示しています。この値より、DIPIPM内の配線インダクタンスで発生するサージ電圧(マージン等考慮し200V以下)を引いたものがサージ込みの定格 $V_{CC(surge)}=1000V$ となります。さらに、P-N電源間に接続される電解コンデンサとDIPIPMの間の配線インダクタンスにより発生するサージ電圧(200V以下)を引いたものが短絡時の定格 $V_{CC}=800V$ となります。

大型 DIIPM+シリーズ アプリケーションノート

3.1.9 短絡 SOA

図3-1-14～17に短絡SOAカーブ(代表例)を示します。測定条件は以下のとおりです。

測定条件:

$V_{CC}=800V$ 、 $T_j=150^{\circ}C$ スタート、 $V_{CC(surge)} \leq 1000V$ (サージ電圧含む)、非繰り返し、負荷短絡(2m負荷)

例えばPSS50NE1CTの場合、図3-1-15をご参照ください。 $V_D=16.5V$ でIGBTのON期間が約 $4.8\mu s$ 以下であれば、定格の約10倍のコレクタ電流をターンオフできることを示しています。

本データは代表例であり、制御電源電圧 V_D 、主回路電圧(V_{CC})によってIGBTの短絡動作範囲は変わりますので、RCフィルタの設定はSOAにマージンを持って設定してください。

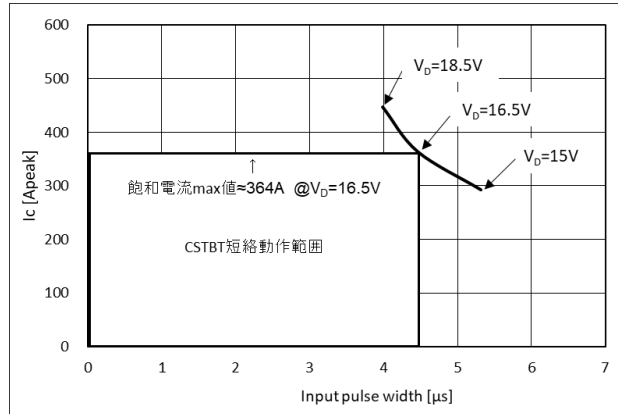


図 3-1-14 PSS35NE1CT の短絡 SOA カーブ(代表例)

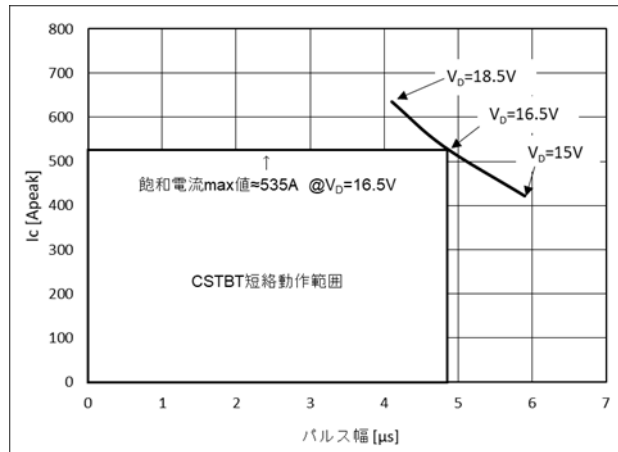


図 3-1-15 PSS50NE1CT の短絡 SOA カーブ(代表例)

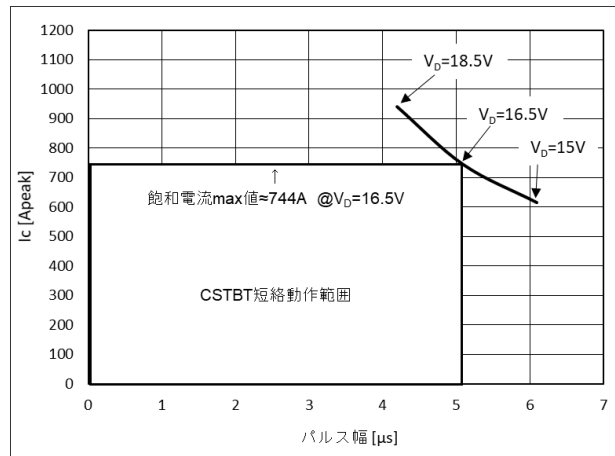


図 3-1-16 PSS75NE1CT の短絡 SOA カーブ(代表例)

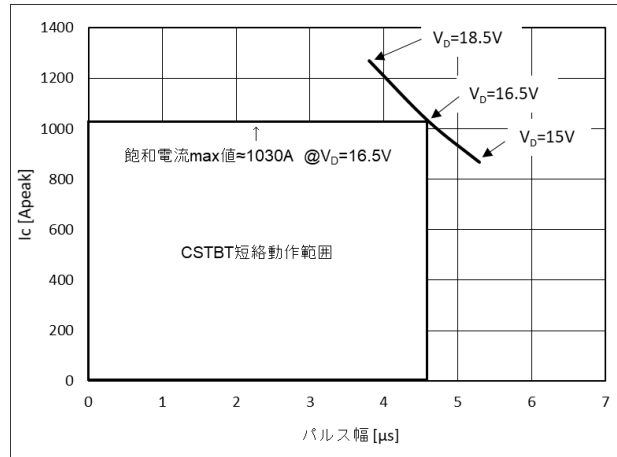


図 3-1-17 PSS100NE1CT の短絡 SOA カーブ(代表例)

大型 DIIPM+シリーズ アプリケーションノート

3.1.10 動作寿命について

DIIPMの動作時は、IGBTの接合温度変化(ΔT_j)が繰り返し発生します。この ΔT_j と温度変化のサイクル数は、デバイスの寿命に影響を及ぼします。図3-1-17にIGBTの ΔT_j とサイクル数の寿命カーブを示します。($\Delta T_j=46, 88, 98K$ の3ポイントで実施したデータであり、それぞれの故障率0.1, 1, 10%の点を回帰直線で表したものです。)

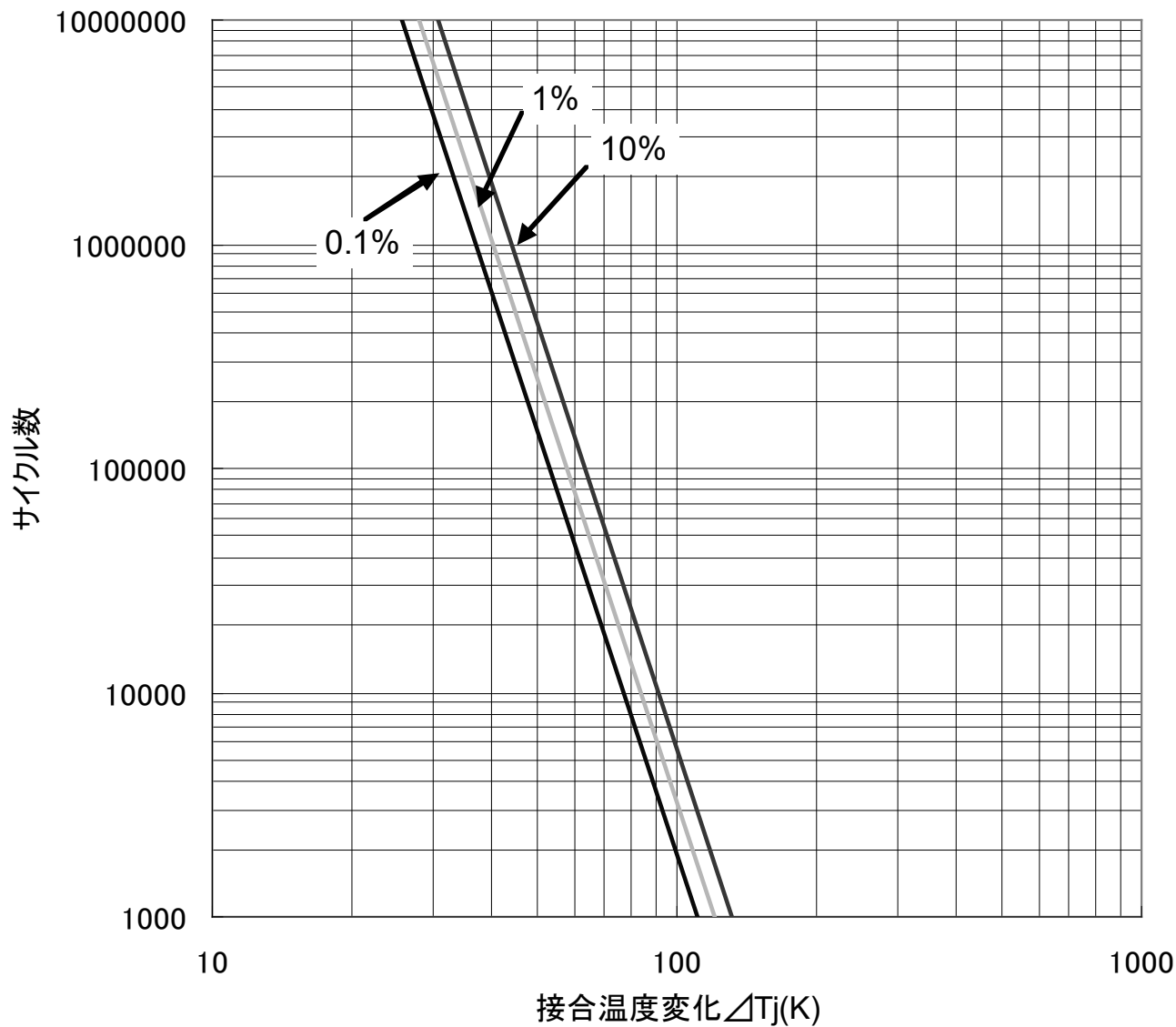


図 3-1-17 DIIPM の寿命カーブ

大型 DIIPM+シリーズ アプリケーションノート

3.2 損失と放熱設計

3.2.1 損失計算方法(例)

平均電力損失簡易計算式について

●適用範囲

VVVF インバータへの応用に際してパワー素子を選定(比較)するための、通常動作時の総合損失の算出が可能です。装置の熱設計(限界設計)には適用できません。

●仮定条件

- ①正弦波電流出力 PWM 制御 VVVF インバータ
- ②正弦波・三角波比較による PWM 信号発生
- ③PWM 信号のデューティ幅は $\frac{1-D}{2} \sim \frac{1+D}{2}$ (%/100) で変化 D: 変調率
- ④出力電流にはリップルがなく $I_{cp} \cdot \sin x$ が流れる
- ⑤出力電流に対する負荷力率は $\cos\theta$ 、スイッチングに対する負荷は純インダクタンス

●式の算出

PWM 信号のデューティ変化は、位相 x に対して $\frac{1+D \times \sin x}{2}$ となり、これが出力電圧変化に相当しますから、

出力電流と電圧の関係を示す力率 $\cos\theta$ により、出力電流の任意の位相 x での出力電流と PWM デューティは、
 $Output\ current = I_{cp} \times \sin x$

$$PWM\ Duty = \frac{1+D \times \sin(x+\theta)}{2}$$

従って、位相 x での $V_{CE(sat)}$ と V_{EC} は

$$V_{ce(sat)} = V_{ce(sat)}(@ I_{cp} \times \sin x)$$

$$V_{ec} = (-1) \times V_{ec}(@ I_{cp}(= I_{cp}) \times \sin x)$$

以上から、トランジスタの静損失は、

$$\frac{1}{2\pi} \int_0^\pi (I_{cp} \times \sin x) \times V_{ce(sat)}(@ I_{cp} \times \sin x) \times \frac{1+D \sin(x+\theta)}{2} \bullet dx$$

同様にフリーホイールダイオードの静損失は、

$$\frac{1}{2\pi} \int_\pi^{2\pi} ((-1) \times I_{cp} \times \sin x) ((-1) \times V_{ec}(@ I_{cp} \times \sin x)) \times \frac{1+D \sin(x+\theta)}{2} \bullet dx$$

一方、トランジスタの動損失は PWM デューティに依りませんので

$$\frac{1}{2\pi} \int_0^\pi (P_{sw(on)}(@ I_{cp} \times \sin x) + P_{sw(off)}(@ I_{cp} \times \sin x)) \times fc \bullet dx$$

大型 DIPIPM+シリーズ アプリケーションノート

またフリーホイールダイオードの動損失は、図 3-2-1 のように理想化すると

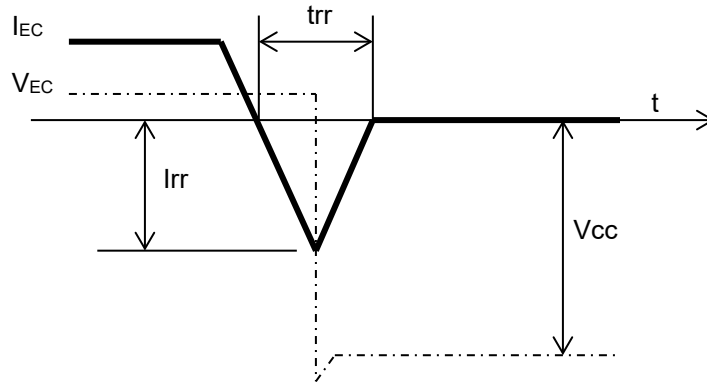


図 3-2-1 FWDi の動損失

$$P_{sw} = \frac{I_{rr} \times V_{cc} \times trr}{4}$$

リカバリーが発生するのは、出力電流周期の半分ですので、動損失は、

$$\begin{aligned} & \frac{1}{2} \int_{\pi}^{2\pi} \frac{I_{rr} (@ I_{cp} \times \sin x) \times V_{cc} \times trr (@ I_{cp} \times \sin x)}{4} \times fc \cdot dx \\ &= \frac{1}{8} \int_{\rho}^{2\pi} I_{rr} (@ I_{cp} \times \sin x) \times V_{cc} \times trr (@ I_{cp} \times \sin x) \times fc \cdot dx \end{aligned}$$

●インバータへの応用の際の一般的な注意点

- ・出力電流 1 周期分を多数分割し、各点における実際の「PWM デューティー」、「出力電流」、「その電流における $V_{CE(sat)}$ 、 V_{EC} 、 P_{sw} 」に基づいて計算し加算する必要があります。
- ・PWM デューティーは信号の発生方法に依存します。
- ・出力電流波形や出力電流と PWM デューティーの関係は信号の発生方法、負荷、その他の種々の要因に依存しますので、実波形を基にします。
- ・ $V_{CE(sat)}$ は $T_j=125^{\circ}C$ の値を使用します。
- ・ P_{sw} は $T_j=125^{\circ}C$ ハーフブリッジ動作時の値を使用します。

大型 DIIPM+シリーズ アプリケーションノート

3.2.2 温度上昇の考え方と計算例

本シリーズの各製品について損失計算を実施し、実効電流 I_o とキャリア周波数特性(代表例)を求めた結果を図 3-2-2 に示します。

条件: $V_{CC}=600V$ 、 $V_D=V_{DB}=15V$ 、 $V_{CE(sat)}=Typ.$ 、 $Switching\ loss=Typ.$ 、 $T_j=125^\circ C$ 、 $T_c=100^\circ C$ 、 $\Delta T_{(j-c)}=25K$ 、 $R_{th(j-c)}=Max.$ 、 $P.F=0.8$ 、シミュレーションモデル三相変調 正弦波出力 $f_o=60Hz$

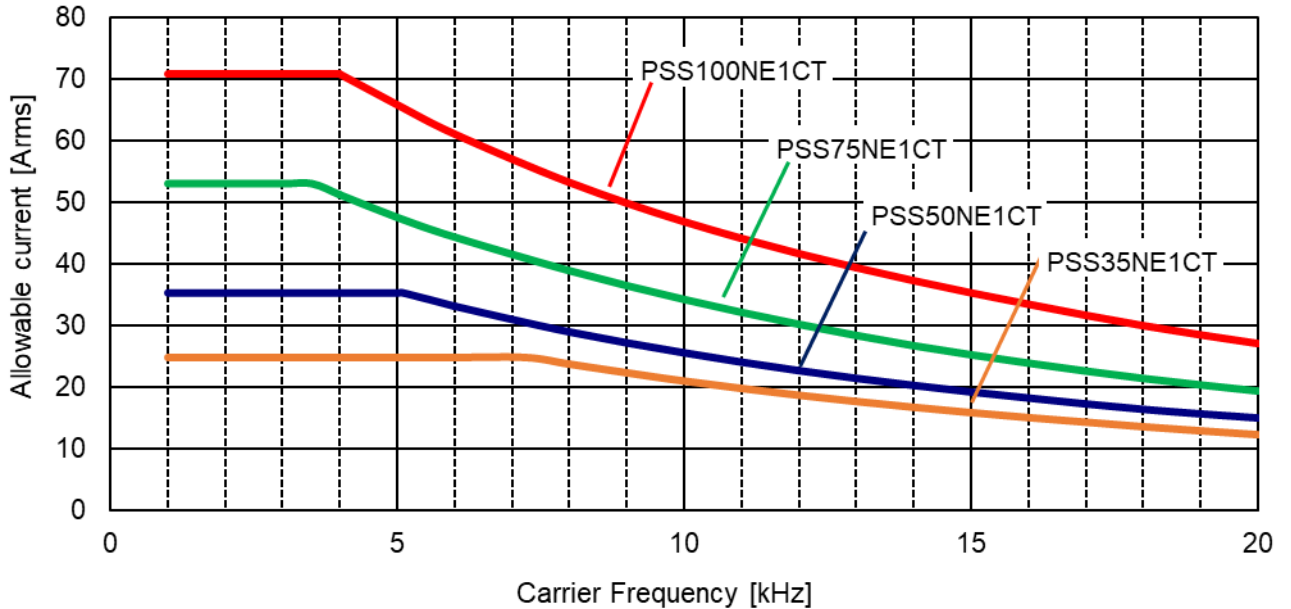


図 3-2-2 キャリア周波数－実効電流特性

図 3-2-2 の特性(計算値代表例)は、各キャリア周波数において、ケース温度 $T_c=100^\circ C$ でインバータ動作した場合に、IGBT の接合温度 T_j が、平均動作接合温度 $125^\circ C$ まで上昇する時に流し得ることのできる許容実効電流 I_o を表しています。

この特性は、制御方式、モーター種等で変わります。また、定格以上の電流は、連続して流さないようにしてください。

本章で示した損失や温度上昇は、損失シミュレーションソフトウェアを用いて計算できます。ソフトウェアは弊社ウェブサイトから無料でダウンロードできます。

URL: <http://www.MitsubishiElectric.com/semiconductors/>

大型 DIIPM+シリーズ アプリケーションノート

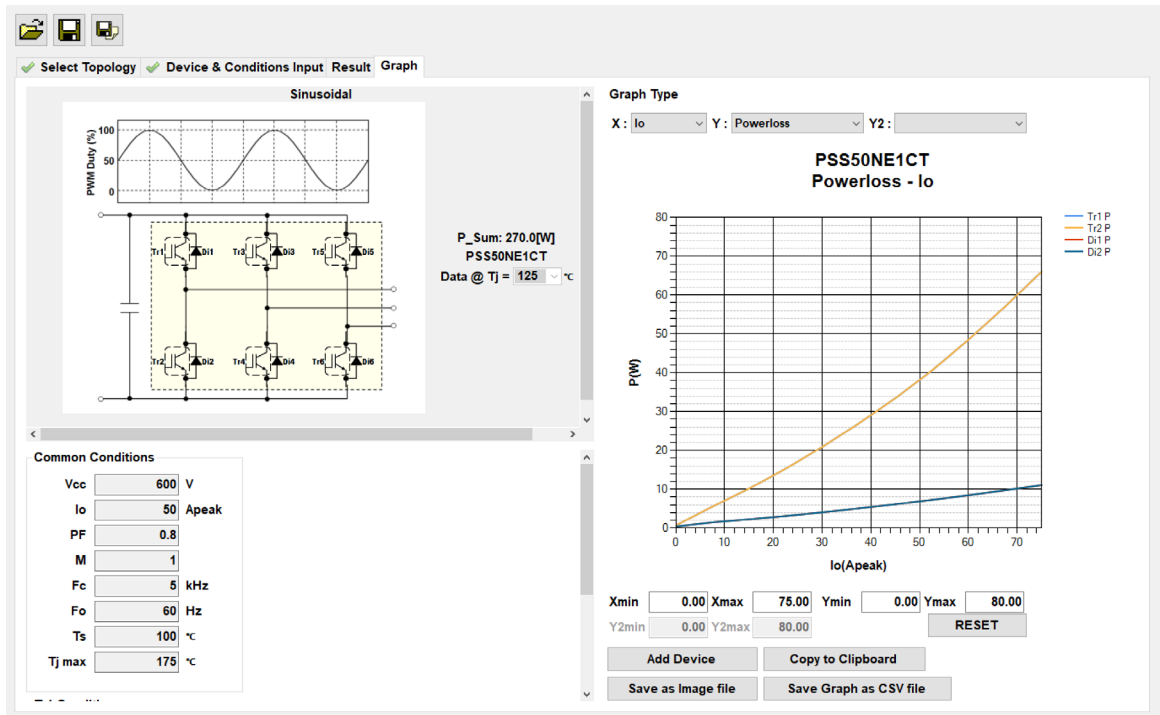


図 3-2-3 損失計算ソフト画面例

大型 DIIPM+シリーズ アプリケーションノート

3.3 ノイズ・静電気耐量

3.3.1 測定回路

大型 DIIPM+でのノイズ試験に関しては、以下に示す測定条件と、図 3-3-1 の測定回路にて、 $\pm 2.0\text{kV}$ 以上の耐量を確認しています。ただしノイズ耐量は、ノイズ試験の環境、制御基板配線パターン、部品配置等に大きく依存しますので、実システムでの確認を行ってください。

測定条件

$V_{CC}=600\text{V}$ 、 $V_D=15\text{V}$ 、 $T_a=25^\circ\text{C}$ 、無負荷

ノイズ印加方法: AC ライン(R、S、T)より印加 周期 $T=16\text{ms}$ 、時間幅 $tw=0.05\sim 1\mu\text{s}$ 、Random 入力

測定回路

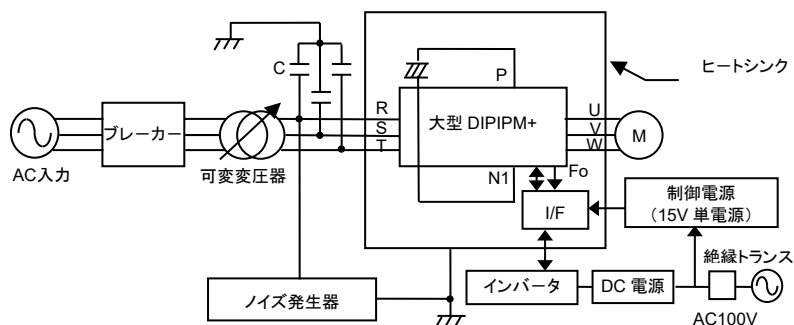


図 3-3-1 ノイズ試験回路

15V 単電源方式、モータは IM で実施、マイコンからの PWM 信号はフォトカプラ入力

C1: AC ラインコモンモードフィルター4700pF

大型 DIIPM+シリーズ アプリケーションノート

3.3.2 対策と注意事項

DIIPM は、設計時に内部配線の最適化による低インダクタンス化、絶縁構造の最適化による漏れ電流の低減を行うことで、部品を削減しノイズ耐量を確保していますが、回路パターンなどによって制御部にノイズが回り込み短絡や短絡保護の誤動作が発生する場合があります。その場合には、図 3-3-2 のような対策をご検討ください。

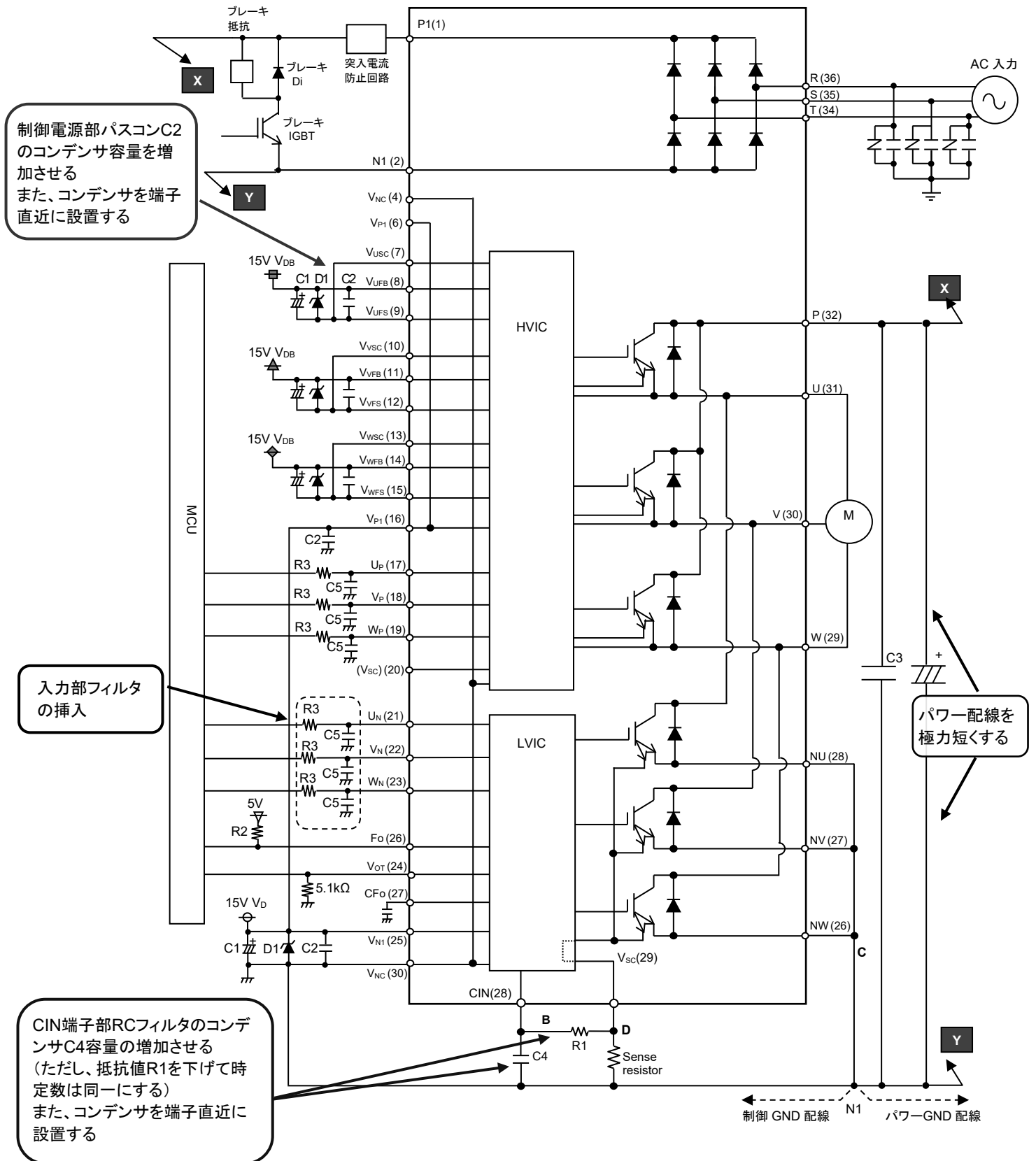


図 3-3-2 ノイズ誤動作時対策案

大型 DIIPM+シリーズ アプリケーションノート

3.3.3 静電気耐量について

図 3-3-3、3-3-4 のように HBM 法($R=1.5k\Omega$, $C=100pF$)にて DIIPM 各端子- V_{NC} or N 端子間に正・負の電圧を 3 回印加し、印加前後の端子の V-I 特性の変化を確認しています。各端子とも $\pm 1000V$ 以上の実力値を確認しています。

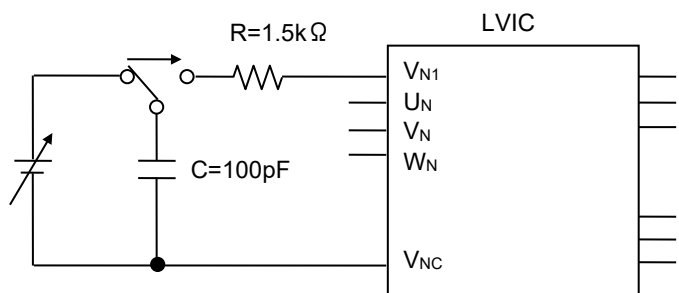


図 3-3-3 静電気耐量評価回路例(V_{N1} 端子評価時)

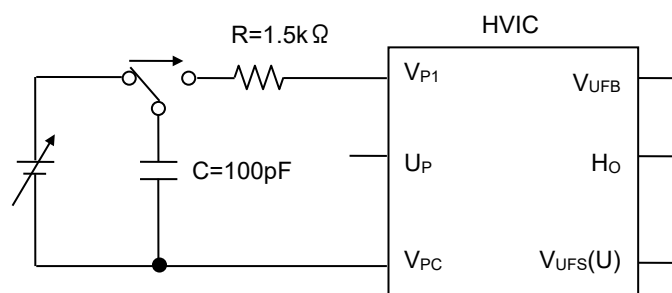


図 3-3-4 静電気耐量評価回路例(V_{P1} 端子評価時)

大型 DIPIPM+シリーズ アプリケーションノート

第4章 ブートストラップ回路動作

4.1 ブートストラップ回路動作

DIPIPM では、ブートストラップ回路を用いたフローティング電源により、通常のインバータ回路駆動時に必要な4つの独立電源(P側 IGBT 駆動用3相+N側 IGBT 駆動用)をN側駆動用制御電源1つで動作させることができます。

ブートストラップ回路は、図4-1-1に示すとおりブートストラップダイオード(以下 BSD)とブートストラップコンデンサ(以下 BSC)、電流制限抵抗で構成されます。

P側 IGBT の駆動に BSC を電源として使用し、P側 IGBT オン時のゲートチャージ及び、P側 IGBT の駆動 IC 内ロジック回路へ回路電流を供給します。(図4-1-2 コンデンサが電源の代わりであるため、その電流供給能力には制限があり、ブートストラップ回路によるP側駆動は、比較的消費電流が小さいDIPIPMに特に適した方法です。)

回路駆動により消費された電荷は、インバータ動作中に各相の出力端子(U端子など)の電位がGNDレベル付近まで下がることで、N側15V制御電源から制限抵抗、BSDを通して、コンデンサに充電されます。

ただし、P側素子のSWシーケンス、BSCの容量など使用条件によっては、必要な電荷量に対して十分な充電が行われず、BSCの電位が電源電圧低下(UV)保護レベル以下に低下し、P側 IGBT のSW停止やゲート電圧(コンデンサ電圧)の低下によるP側 IGBT の損失増加につながりますので、コンデンサの容量など回路定数の設定時には十分な検討、評価が必要です。ブートストラップ回路による駆動についての詳細は、アプリケーションノートの『DIPIPM ブートストラップ回路設計の手引き』を参照ください。

以下に、本製品のP側IGBT駆動部の消費電流特性を示します。

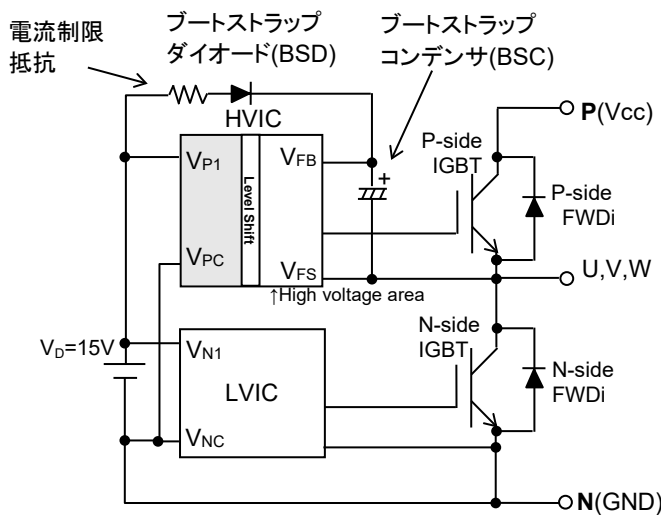
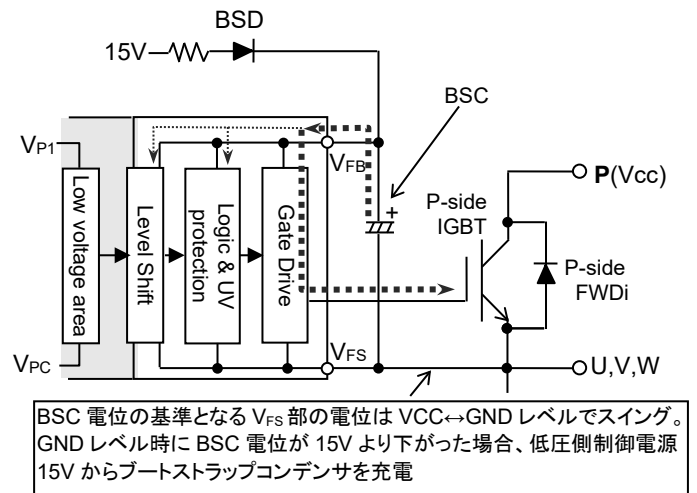


図 4-1-1 ブートストラップ回路



BSC 電位の基準となる V_{FS} 部の電位は $V_{CC} \leftrightarrow GND$ レベルでスイング。GNDレベル時に BSC 電位が 15V より下がった場合、低圧側制御電源 15V からブートストラップコンデンサを充電

図 4-1-2 ブートストラップ回路

大型 DIIPM+シリーズ アプリケーションノート

4.2 ブートストラップ電源回路電流

本製品の定常状態におけるブートストラップ電源の回路電流は、最大 2.4mA です。しかし、PWM 制御時などスイッチング時には、IGBT 駆動のためゲートの充放電が繰り返されるため、回路電流はキャリア周波数に比例して増加し、回路電流 I_{DB} の規格値 max 2.4mA を超えます。図 4-2-1~4 に回路電流 I_{DB} -キャリア周波数特性(代表例)を示します。

条件: $V_{CC}=800V$ 、 $V_D=V_{DB}=15V$ 、 $T_j=150^\circ C$

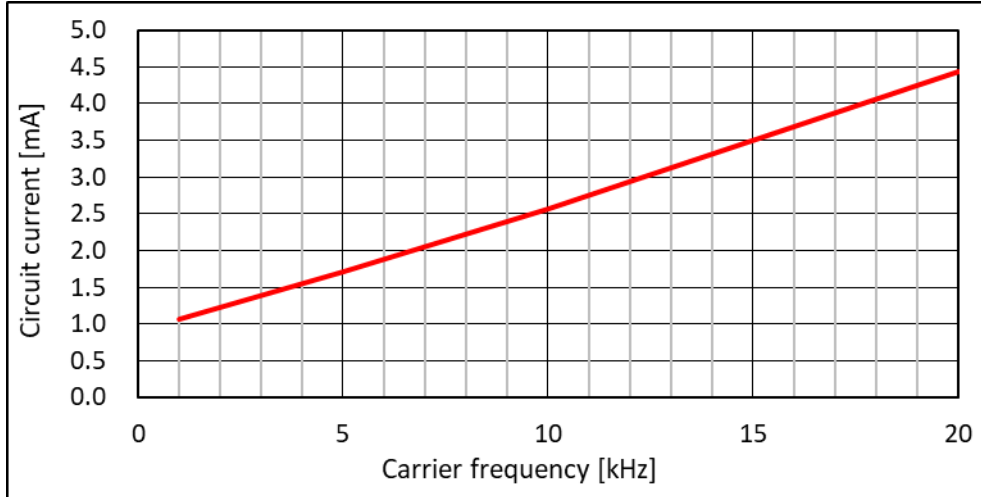


図 4-2-1. PSS35NE1CT 回路電流 I_{DB} -キャリア周波数特性

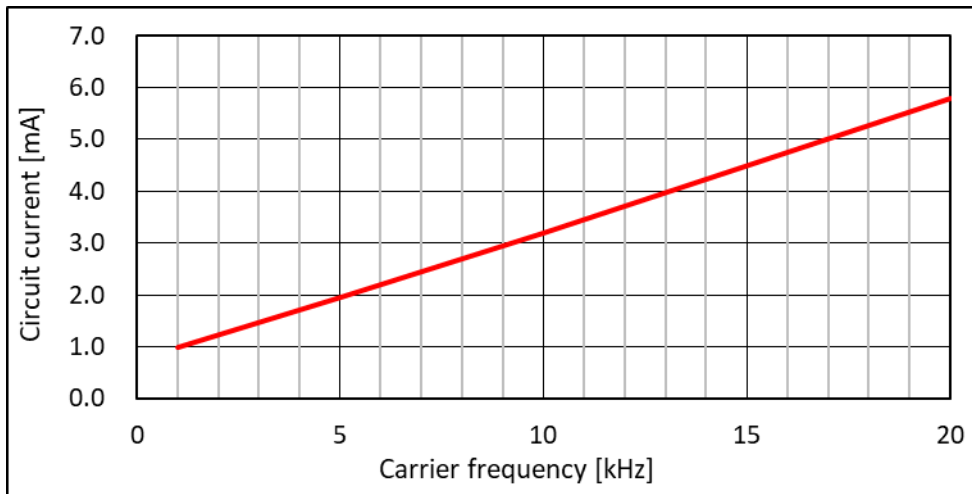


図 4-2-2. PSS50NE1CT 回路電流 I_{DB} -キャリア周波数特性

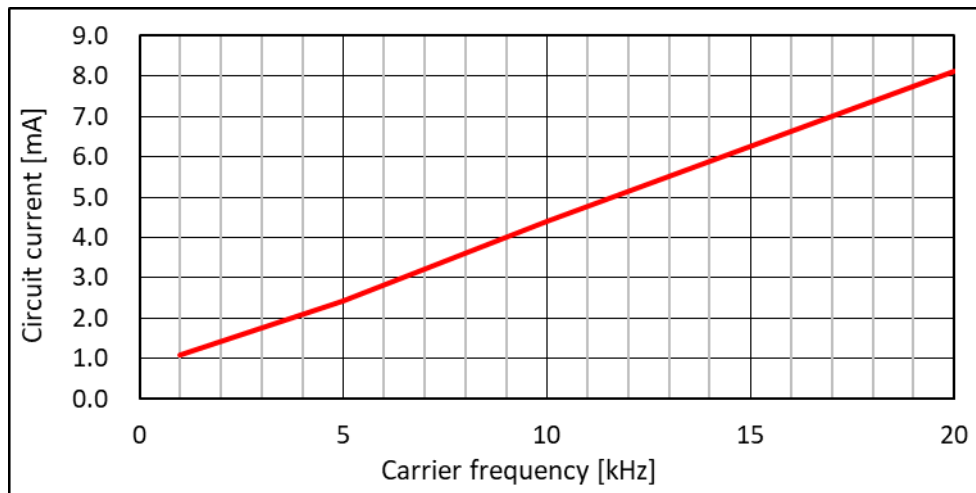


図 4-2-3. PSS75NE1CT 回路電流 I_{DB} -キャリア周波数特性

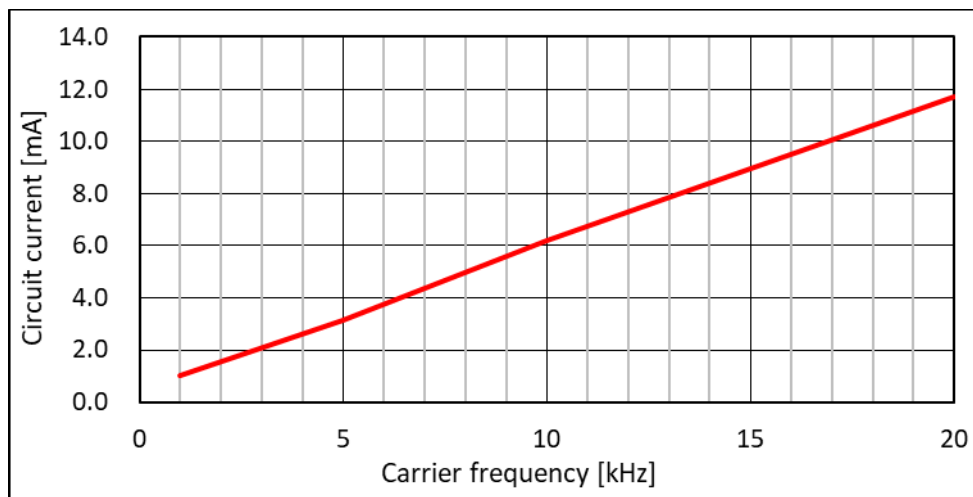


図 4-2-4. PSS100NE1CT 回路電流 I_{DB} -キャリア周波数特性

大型 DIIPM+シリーズ アプリケーションノート

4.3 ブートストラップ回路定数設定時の注意点

ブートストラップ回路の各定数の検討時には、各素子の温度特性、寿命による変化、ばらつきなどを考慮した上で設計願います。ブートストラップ回路の動作については、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』も参照ください。各素子の選定において注意いただきたい点について以下に挙げます。

(1) ブートストラップコンデンサ

BSC には、電解コンデンサが一般的に使用されていますが、近年、大容量のセラミックコンデンサも使用されつつあります。しかし、電解コンデンサとは異なり、セラミックコンデンサは、DC バイアス特性 (DC 電圧印加時の容量特性) により容量が大きく低下するものがありますので注意が必要です。表 4-3-1 に電解コンデンサとセラミックコンデンサの一般的な特性例を示します。

表 4-3-1 コンデンサ静電容量の各特性例

	電解コンデンサ	大容量セラミックコンデンサ
温度特性 (Ta:-20~85°C)	アルミ電解コンデンサ: 低温:-10% 高温:+10%程度 導電性高分子アルミ固体タイプ: 低温:-5% 高温:+10%程度	B,X5R,X7R など温度特性ランクにより異なる。 低温:-5%~0%程度 高温:-5%~-10%程度
DC バイアス特性 (DC15V 印加時)	定格電圧内であればほぼ変化無し	サイズ、温度特性、定格電圧により異なる。 -70%~-15%程度低下

電解コンデンサについては、DC バイアス特性は問題ありませんが、繰り返し充放電によるリップル耐量、寿命(周囲温度による影響大)などに注意が必要です。上記特性は WEB に掲載のコンデンサの特性の参考例です。コンデンサの詳細特性につきましては、各コンデンサメーカーにご確認ください。

(2) ブートストラップダイオード

ブートストラップダイオードには、DIIPM の素子耐圧(DIIPM が 1200V 品であれば 1200V)以上のもので、高速品(リカバリー時間 trr=100ns 以下)を使用し、初期充電時の大電流を考慮して電流定格を選定してください(制限抵抗値との組み合わせで検討の必要が有ります)。

また、耐圧などのバラツキ、その他特性など品質が十分確認された製品を使用してください。BSD が、過電圧などによりショート破壊した場合、DC-LINK 電圧が、DIIPM の制御 IC の低圧側に印加されて過電圧破壊し、DIIPM の各種機能(保護,ゲート駆動など)が失われ、IGBT ゲート破壊などにつながり、システムの破壊様相は、激しいものとなる可能性があります。

(3) 電流制限抵抗

電流制限抵抗選定時には、許容損失、サージ耐量(スイッチングオン・オフ時にサージが印加される可能性があります)などに注意が必要です。特に小型チップ抵抗などを使用する場合は、耐サージ設計されたタイプを推奨します。詳細につきましては、各抵抗器メーカーにご確認ください。

大型 DIIPM+シリーズ アプリケーションノート

4.4 ブートストラップ回路使用時の初期充電について

ブートストラップ回路を用いる場合、初期始動前、あるいは、IPM の一定時間休止後(1 秒程度でも)には IC の定常消費電流 I_{DB} により BSC の電圧が UV 保護レベルより下がっている可能性があるため、始動前に BSC をあらかじめ初期充電する必要があります。

BSC の充電は、通常 N 側 IGBT 全相をオンさせて行います。モータなどの負荷がつながっている場合は、1相をオンさせるだけでもモータ内配線を通して、他相の出力端子電位も低下し充電できる場合があります。ただし、モータ内の配線抵抗などにより、コンデンサの充電効率は低下する可能性があります。

充電は、ワンパルスで行う方法と、15V 制御電源の供給能力などの制限がある場合に複数回のオンパルスにて行う方法もあります。

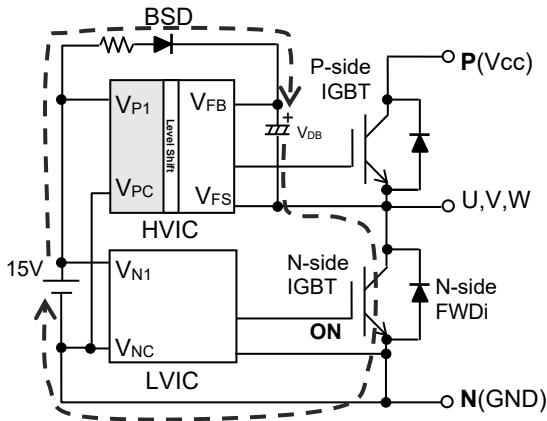


図 4-4-1 初期充電経路

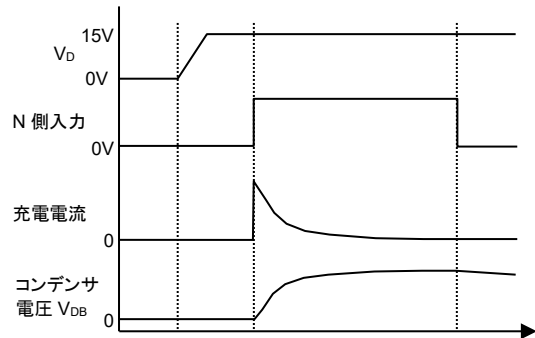


図 4-4-2 ワンパルスでの充電波形例

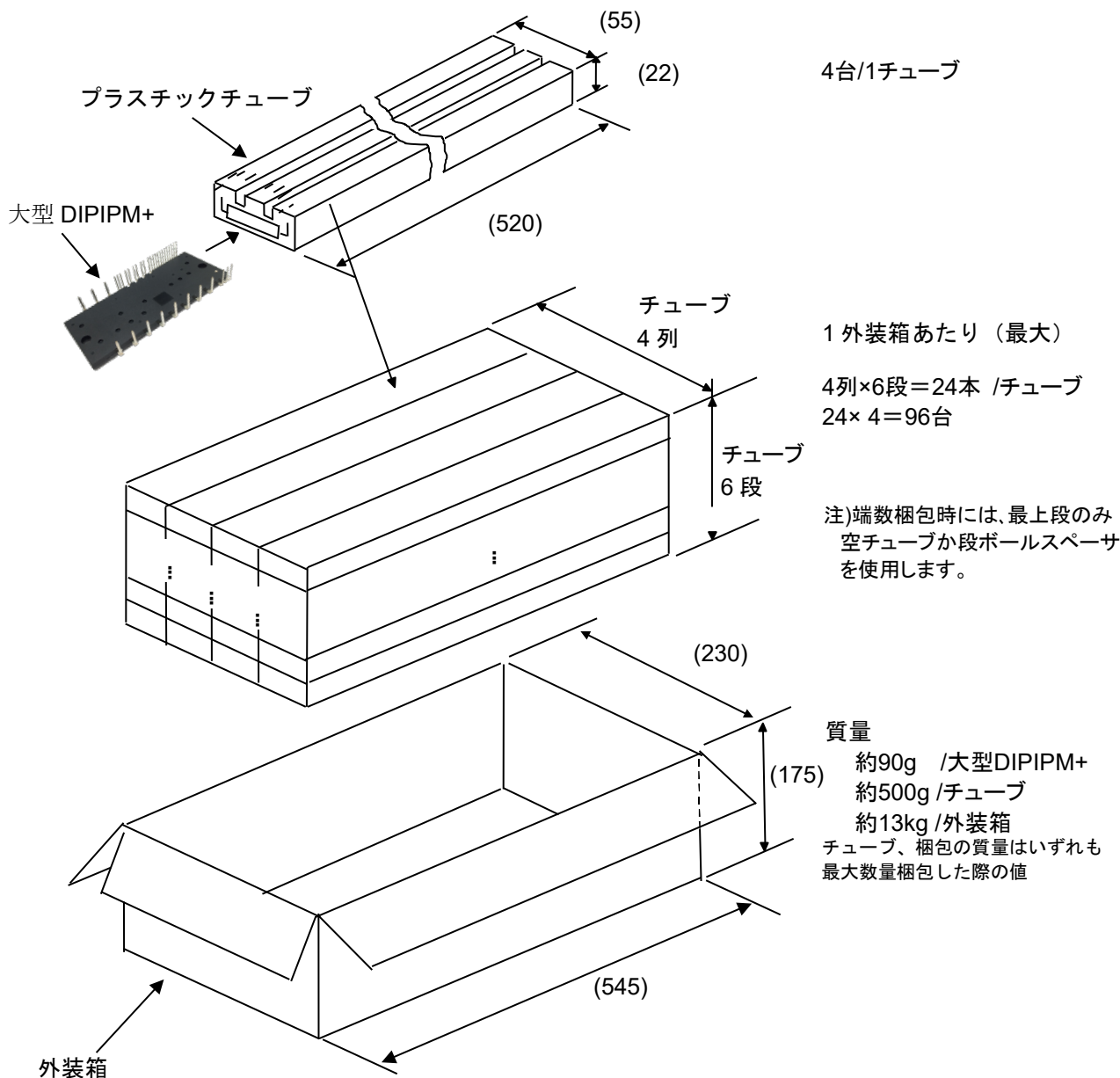
初期充電は、少なくとも V_{DB} の推奨電源電圧範囲である 13V 以上になるまで実施してください。(充電後、インバータ動作開始までの時間の低下分を考慮して、13V より高めに充電することを推奨します。)

BSC が十分に充電された後、インバータ(PWM 入力)スタート前に P 側保護状態のリセット用オンパルスを 1 パルス入力することを推奨いたします。入力するパルス幅は、各製品に規定の最小許容入力オンパルス幅で問題ありません。

大型 DIIPM+シリーズ アプリケーションノート

第5章 その他

5.1 梱包仕様



箱の底及び最上段のチューブの上には、板状のスペーサが入ります。
また、上部に空間がある場合、エアキャップが入ります。

図 5-1-1 梱包仕様

大型 DIIPM+シリーズ アプリケーションノート

5.2 取り扱いの注意



<p>運送・運搬方法</p>	<ul style="list-style-type: none"> ・運送中は梱包箱を正しい向きに置いてください。逆さにしたり、立てかけたり不自然な力を加えると、電極端子が変形したり樹脂ケースが壊れる原因になります。 ・投げたり、落したりすると素子が壊れる原因になります。 ・水に濡れると使用時の故障原因になります。降雨、降雪時の運搬には濡らさないように注意してください。
<p>保管方法</p>	<ul style="list-style-type: none"> ・本製品を保管する場所の温度及び湿度は、5～35℃、45～75%の常温常湿範囲内が望ましく、この温度、湿度から極度にかけて離れた環境では素子の性能や信頼性を低下させることがあります。
<p>長期保存</p>	<ul style="list-style-type: none"> ・本製品を長期(1年以上)に保管する場合は、除湿対策をしてください。なお、長期保管後、ご使用の際は、外観に傷、汚れ、錆等がないことを確認してください。
<p>使用環境</p>	<ul style="list-style-type: none"> ・水や有機溶剤が直接付着する場所、腐蝕性ガスを発生する場所、また、爆発性ガス、粉塵、塩分などのあるところでの使用は重大な事故につながる可能性がありますので避けてください。
<p>難燃性について</p>	<ul style="list-style-type: none"> ・エポキシ充填樹脂およびケース材料には UL 規格の 94-V0 認定品を使用していますが、不燃性ではありません。
<p>静電気対策</p>	<ul style="list-style-type: none"> ・DIIPM は MOS ゲート構造を有する専用 IC を使用しています。静電気による破壊を防止するために下記事項を守ってください。 (1)静電気破壊に対する注意事項 <ul style="list-style-type: none"> 人体や梱包材料などに帯電した静電気が端子に印加されると、素子が破壊することがあります。静電気対策の基本は、静電気の発生をできるだけ押さえることと帯電した電荷をすばやく逃がすことが大切です。 ・運搬、保存に静電気を帯びやすい容器は使用しないでください。 ・DIIPM は、使用する直前までチューブから出さないでください。また素手で端子を絶対に触らないようにしてください。 ・組立時、使用機器や人体を接地して作業を行ってください。また、作業台表面および作業台周囲の床は導電性マットを敷き、接地することを推奨します。 ・素子を実装したプリント基板上で各制御端子間がオープンになっていると、プリント基板に帯電した静電気により破壊することがありますのでご注意ください。 ・半田ゴテを使用する場合は、コテ先をアースしてください。 (2)各制御端子間開放時の注意事項 <ul style="list-style-type: none"> ・各制御端子間がオープン状態で、コレクタ・エミッタ間に電圧を印加しないでください。 ・素子を取外す場合、各制御端子間を短絡してから取外してください。
<p>過電圧対策</p>	<ul style="list-style-type: none"> ・過電圧破壊に対する注意事項 <ul style="list-style-type: none"> インラインテスト工程などにおいて試験後基板のコネクタを放電前に活線挿抜する、絶縁試験時治具の接触不具合など DIIPM の外形や搭載基板に対して直接あるいは間接的に放電を発生させた場合、IPM 内の素子にサージが伝搬し過電圧破壊の可能性があるので注意してください。

安全設計に関するお願い

弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または代理店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ(<http://www.MitsubishiElectric.co.jp/semiconductors/>)などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または代理店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または代理店までご照会ください。

は、

© MITSUBISHI ELECTRIC CORPORATION. ALL RIGHTS RESERVED.
DIPIPM, DIPIPM+, CSTBT は三菱電機株式会社の商標です。